

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



<p>(51) 国際特許分類6 G11C 16/06</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/01861</p> <p>(43) 国際公開日 1998年1月15日(15.01.98)</p>
<p>(21) 国際出願番号 PCT/JP96/01907</p> <p>(22) 国際出願日 1996年7月10日(10.07.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 山田直樹(YAMADA, Naoki)(JP/JP) 〒350-02 埼玉県坂戸市溝端町18-2 Saitama, (JP) 佐藤 弘(SATO, Hiroshi)(JP/JP) 〒198 東京都青梅市河辺町7-22-4 日立第二若草寮232号室 Tokyo, (JP) 辻川哲也(TSUJIKAWA, Tetsuya)(JP/JP) 〒205 東京都羽村市緑ヶ丘2-1-16 日立富士見荘A-106 Tokyo, (JP) 宮沢一幸(MIYAZAWA, Kazuyuki)(JP/JP) 〒350-12 埼玉県日高市横手2-17-7 Saitama, (JP)</p> <p>(74) 代理人 弁理士: 大日方富雄(OBINATA, Tomio) 〒162 東京都新宿区神楽坂3丁目4番地 山本ビル2階 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE</p> <p>(54)発明の名称 不揮発性半導体記憶装置</p> <p>(57) Abstract A nonvolatile semiconductor storage device in which multi-level information is stored in one memory cell by setting a plurality of thresholds, wherein each bit of data composed of a plurality of bits is separately written on and read from one memory cell and the data are erased, in accordance with address signals or control signals. Specifically, a memory array is accessed in accordance with three-dimensional addresses of X-, Y-, and Z-addresses and a plurality of bit data in one memory cell can be recognized with the Z-address.</p> <div data-bbox="771 1260 1437 1827"> </div>		

(57) 要約

複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、1つのメモリセルに対して複数ビットのデータの各ビットをアドレス信号もしくは制御信号に応じて別々に書き込み、読出しおよび消去を行なうようにした。具体的には、メモリアレイをX、Y、Zの3次元アドレスでアクセスするように構成し、1メモリセル内の複数のビットデータをZアドレスで識別するようにした。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LK	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア共和国	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	ML	マリ	TR	トルコ
BR	ブラジル	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MR	モリタニア	UA	ウクライナ
CA	カナダ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	MX	メキシコ	US	米国
CG	コンゴ	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CH	スイス	JP	日本	NL	オランダ	VN	ヴェトナム
CI	コート・ジボアール	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CU	キューバ	KR	大韓民国	PT	ポルトガル		
CZ	チェコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LC	セントルシア	RU	ロシア連邦		
DK	デンマーク	LI	リヒテンシュタイン	SD	スーダン		
EE	エストニア	LK	スリランカ	SE	スウェーデン		

1

明 細 書

不揮発性半導体記憶装置

5 技術分野

この発明は、半導体記憶装置さらには不揮発性半導体記憶装置における多値情報の記憶方式に適用して特に有効な技術に関し、例えば複数の記憶情報を電氣的に一括消去可能な不揮発性記憶装置（以下、単にフラッシュメモリという）に利用して有効な技術に関するものである。

10

背景技術

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、図21に示すように不揮発性記憶素子のドレイン領域を例えば4V（ボルト）程度にし、コントロールゲートCGが接続されたワード線を-10V程度にすることにより、トンネル電流によりフローティングゲートFGから電荷を引き抜いて、しきい値電圧が低い状態（論理“0”）にする。消去動作では、図22に示すように、ウェル領域、ドレイン領域およびソース領域を-3V程度にし、コントロールゲートCGを10Vのような高電圧にしてトンネル電流を発生させてフローティングゲートFGに負電荷を注入してしきい値を高い状態（論理“1”）にする。これにより1つのメモリセルに1ビットのデータを記憶させるようにしている。

ところで、記憶容量を増大させるために1メモリセル中に2ビット以上のデータを記憶させる、いわゆる「多値」メモリの概念が提案されている。この多値メモリに関する発明としては、特願平7-14031号などがある。

上記先願の多値メモリにおいては、連続する2ビットのデータ“01”“00”“10”“11”を論理変換して、図23に示すように、メモリセルのしきい値1.2V以下、1.6～2.3V、2.8～3.5V、4V以上に対応させ

て記憶するようにしていた。そのため、上記メモリでは、記憶データを読み出す際にワード線のレベルを1.4V, 2.6V, 3.7Vのように変えながら必ず3回読出し動作を行なわなければ記憶データを判定することができないため、データ読出し時間が長くなるという不具合がある。

5 この発明の目的は、データ読出し時のワード線アクセス回数を減らし読出し時間を短縮することが可能な多値記憶型不揮発性半導体記憶装置および駆動方法を提供することにある。

 この発明の前記ならびにはかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

10

発明の開示

 本願において開示される発明のうち代表的なものを概要を簡単に説明すれば、下記のとおりである。

15

 すなわち、複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、1つのメモリセルに対して複数ビットのデータの各ビットをアドレス信号もしくは制御信号に応じて別々に書込みを行ない階層的に記憶するようにしたものである。この場合、1つのメモリセルに対して複数ビットのデータを連続して書き込むようにしても良いし、あるいはすべてのメモリセルに1ビットずつデータを一通り書き込んだ後、残りのビットのデータを各メモリセルに順次上書きして行くようにしてもよい。

20

 これによって、1メモリセルに2ビットを記憶した場合にはデータを読み出す際に最初のビットはワード線を1回アクセスするだけで、また後のビットはレベルを変えてワード線を2回アクセスするだけで読み出せるようになって、トータルのワード線アクセス回数を減らし、データ読出し時間の短縮を図ることができる。

25

図面の簡単な説明

 図1は、この発明に係る多値フラッシュメモリのデータ記憶方式の概念（アドレス空間の構成）を示す説明図である。

図2は、この発明に係る多値フラッシュメモリの一実施例を示すブロック図である。

図3は、この発明に係る多値フラッシュメモリにおけるメモリセルのしきい値と記憶データとの関係を示す説明図である。

5 図4は、この発明に係る多値フラッシュメモリにおけるメモリセルの階層別記憶データとこれを区別するZアドレスとの関係を示す説明図である。

図5は、この発明に係る多値フラッシュメモリにおける書込み時および消去時のメモリセルのしきい値の変化を示す説明図である。

図6は、メモリアレイの具体例を示す回路図である。

10 図7は、データラッチ回路の具体例を示す回路図である。

図8は、実施例の多値フラッシュメモリの読出し手順を示すフローチャートである。

図9は、実施例の多値フラッシュメモリの読出し時のメモリアレイ内の信号のタイミングを示すタイミングチャートである。

15 図10は、実施例の多値フラッシュメモリの書込み手順を示すフローチャートである。

図11は、実施例の多値フラッシュメモリの書込み時のメモリアレイ内の信号のタイミングを示すタイミングチャートである。

20 図12は、実施例の多値フラッシュメモリのデータ消去手順を示すフローチャートである。

図13は、実施例の多値フラッシュメモリを使用したシステムの一例を示すブロック図である。

図14は、本発明に係る多値フラッシュメモリの第2の実施例の概略を示すブロック図である。

25 図15は、本発明に係る多値フラッシュメモリの第3の実施例の時分割方式を示すタイミングチャートである。

図16は、本発明に係る多値フラッシュメモリの第4の実施例におけるアドレス構成の一例を示す説明図である。

図17は、本発明に係る多値フラッシュメモリのメモリアレイの他の実施例を

示す回路図である。

図18は、本発明に係る多値フラッシュメモリのメモリアレイの他の実施例を示す回路図である。

5 図19は、本発明に係る多値フラッシュメモリのメモリアレイの他の実施例を示す回路図である。

図20は、本発明に係る多値フラッシュメモリのメモリアレイの他の実施例を示す回路図である。

10 図21は、実施例のフラッシュメモリに使用されるメモリセルの構造およびしきい値電圧を低い状態（論理“0”）にする場合のバイアス条件を示す模式図である。

図22は、実施例のフラッシュメモリに使用されるメモリセルの構造およびしきい値電圧を高い状態（論理“1”）にする場合のバイアス条件を示す模式図である。

15 図23は、先願発明における4値メモリセルのしきい値と2ビット記憶データとの関係を示す説明図である。

発明を実施するための最良の形態

図1は、本発明を適用した1メモリセルに多値を記憶可能なメモリにおけるアドレス空間の概念を示す。

20 この発明においては、従来の一般的な半導体メモリにおけるアドレス方式と同様に、XアドレスとYアドレスによって1つのメモリセルを選択できるように構成されている。これに加えて、本発明においては、各メモリセルが複数ビットの情報を記憶できるように構成されているのに対応して、1つのメモリセル内の複数のビット（1ビットは“0”または“1”のデータで表される）を上記X、Y
25 アドレスとは異なるアドレス（以下、Zアドレスと称する）によって選択ないしは指定できるようにされている（以下、3次元アドレス方式と称する）。この3次元アドレス方式におけるZアドレスの与え方としては、①X、Yアドレスと入力ピンを共有して入力する方式や、②独立の専用入力ピンを設ける方式、③コマンドコードに含ませて入力する方式等が考えられる。

また、上記X、Yアドレスと入力ピンを共有して入力する方式①には、XアドレスとYアドレスのビット数が異なる場合に少ない方のアドレス入力の際にはピンが余るのでその余ったピンを用いて入力する方式や、X、Y、Zアドレスを時分割で共通のピンから入力するアドレスマルチプレクス方式が考えられる。さらに、ピンを共用する方式には、上記X、Y、Zアドレスの他にデータやコマンドコードの入出力ピンと共用する方式も考えられる。なお、上記方式のうち独立の専用入力ピンを設ける方式②は、見方によってはアドレス信号でなく制御信号ないしは選択信号ともとれる（特に1つのメモリセルに記憶されるデータのビット数が「2」の場合は、これを識別するためのアドレスは1ビットで良いため）。
従って、メモリセル内のビットの識別のための信号は、その呼び方に影響されるべきでなく実質的に判断すべきである。

図2は上記各アクセス方式のうち、②の独立の専用入力ピンを設ける方式を採用してフラッシュメモリに適用した場合の一実施例のブロック図を示す。

この実施例のメモリは、データの書き込みや読出し、消去等の動作モードを外部のコントローラ等から入力されるコマンドコードに従って切り替えるとともに、このコマンドコードの入力ピンをデータの入出力ピンI/Oと共用するように構成されている。

図2において、10はフローティングゲートを有するMOSFETからなるメモリセルがマトリックス状に配置されたメモリアレイ、11は入出力ピンI/Oに接続されたマルチプレクサ、12はマルチプレクサ11を介して書き込みデータが入力されるデータ入力バッファ、13はメモリアレイ10から読み出されたデータを入出力ピンI/Oを介して外部へ出力するデータ出力バッファ、14は外部から与えられるコマンドコードをデコードして内部制御信号を形成するコマンド解説制御回路で、該コマンド解説制御回路14はコマンドコードのデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御機能（シーケンサ）を備えており、コマンドコードが与えられるとそれを解説して自動的に対応する処理を実行するように構成されている。この制御機能は、例えばマイクロプログラム方式のCPUの制御部と同様に、コマンド（命令）を実行するのに必要な一連のマイクロ命

令群が格納されたROM（リードオンリメモリ）からなり、コマンドコードに対応したマイクロ命令群の先頭アドレスを生成してマイクロROMに与えることによりマイクロプログラムが起動されるように構成することができる。

また、図2において、15は外部から入力されたXアドレスをデコードして上記メモリアレイ10内の1本のワード線を選択レベルにするとともに入力されたZアドレスに応じた選択レベル（ $V_{ew1} \sim 3$, $V_{rw1} \sim 3$, $V_{ww1} \sim 3$, $V_{ev1} \sim 3$, $V_{ew1} \sim 3$ ）を決定するXアドレスデコーダ、16は外部から入力されたYアドレスをデコードして選択信号を形成するYアドレスデコーダ、17は上記メモリアレイ10内の各データ線に接続され、該データ線のレベルを検出したり書込みデータを保持してデータに応じた電位に駆動するデータ線数に応じた数のセンスアンプを備えたセンスラッチ回路、18は上記Yアドレスデコーダ15からの選択信号によって選択的にオンされて上記メモリアレイ10内のYアドレスに対応したデータ線を上記データ入力バッファ12または上記データ出力バッファ13に接続するカラムスイッチ列である。

この実施例の多値フラッシュメモリには、上記各回路の他、外部から入力される制御信号を取り込んで上記コマンド解説制御回路14に供給する制御信号バッファ回路19や外部から供給される電源電圧 V_{cc} に基づいて読出し電圧 $V_{rw1} \sim 3$ 、書込み電圧 $V_{ww1} \sim 3$ 、消去電圧 $V_{ew1} \sim 3$ 、ペリファイ電圧 $V_{ev1} \sim 3$ 等チップ内部で必要とされる電圧を発生するチャージポンプ等からなる内部電源発生回路20、メモリの動作状態に応じてこれらの電圧の書込み時や消去時にセンスラッチ列17のデータに基づいて書込みまたは消去が終了したか判定するオール判定回路21が設けられている。

上記コマンド解説制御回路14は内部回路および外部に対して外部からのアクセスが可能な状態にあるか否かを示すレディ/ビジィ信号 R/B を信号を形成して出力したりする機能も備えている。

さらに、この実施例のフラッシュメモリは、書込みデータ信号およびコマンド入力とで外部端子（ピン） I/O を共用している。そのため、上記制御信号バッファ回路19は外部から入力される制御信号に従ってマルチプレクサ11を切り換えて、入出力ピン I/O より入力された信号を区別してデータ入力バッファ1

2 またはコマンド解説制御回路 14 に供給する。外部からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号 RES やチップ選択信号 CE、書込み制御信号 WE、出力制御信号 OE、コマンドコード及びデータが有効であることを示すコマンド・データ・イネーブル信号 CDE、シリアルクロック SC 等がある。特に制限されないが、この実施例のフラッシュメモリは、センスラッチ回路 17 に保持されたワード線 1 行分のデータをクロック SC に同期して外部へ読み出したり、外部より入力された 1 行分の書込みデータをクロック SC に同期して上記センスラッチ列 17 に転送できるように構成されている。この場合、Y アドレスは不要とされる。

10 図 3 には、1 メモリセルに 4 値を記憶させるようにした場合における記憶データ (2 ビット) と素子のしきい値分布との関係 (定義) を示す。同図に示すように、本実施例においては、各メモリセルは、 α 以下、 $\alpha \sim \beta$ 、 $\beta \sim r$ 、 r 以上の 4 つのしきい値のいずれかをとりように書込みがなされる。そして、後に説明する書込み方法によって、 α 以下のしきい値を有するようにされたメモリセルは 2 ビットのデータ "01" を記憶するセル、 $\alpha \sim \beta$ のしきい値を有するようにされたメモリセルは 2 ビットのデータ "00" を記憶するセル、 $\beta \sim r$ のしきい値を有するようにされたメモリセルは 2 ビットのデータ "10" を記憶するセル、 r 以上のしきい値を有するようにされたメモリセルは 2 ビットのデータ "11" を記憶するセルと定義される。

20 なお、図 3 において、 α 、 β 、 r はデータ読出し時におけるワード線読出しレベルとされる値であり、具体的な値は電源電圧に応じて決定されるが、一例として電源電圧が 3.3 V の場合には、 $\alpha = 1.5$ V、 $\beta = 2.0$ V、 $r = 2.5$ V のような値とされる。また、図 3 において、ハッチングが付されているのは、誤読出しを防止するため、しきい値がこの範囲に入ってはならないことを意味する禁止領域であり、 $\alpha 0$ 、 $\alpha 1$ 、 $\beta 0$ 、 $\beta 1$ 、 $r 0$ 、 $r 1$ は各々書込みまたは消去終了後に行われるベリファイ動作の読出しレベルとされる値である。さらに、上記 2 ビットのデータ "**" のうち前のビットは時間的に先に書込みがなされたビット (以下、下書きデータと称する) を、また後のビットは時間的に後から書込みなされたビット (以下、上書きデータと称する) の内容を意味するものとされる。

このように1メモリセルに2ビットのデータを記憶させる場合、Zアドレスを使用して各ビットを選択するように構成することができる。すなわち、図4に示すように、Zアドレスが“0”のときは選択されたワード線に接続されたメモリセルの2ビットの記憶データのうち下書きデータを指定し、Zアドレスが“1”
5のときは選択されたワード線に接続されたメモリセルの2ビットの記憶データのうち上書きデータを指定するように構成することができる。ただし、後述するように、下書きデータを読み出す際には選択ワード線の電位は β とされて1回の読出し動作が行われるが、上書きデータを読み出す際には選択ワード線の電位は α と γ とされて2回の読出し動作が行われる。

10 次に、本実施例のフラッシュメモリにおいて適用されたデータ書込み方法（しきい値の変更の仕方）を図5を用いて説明する。

図5（A）に示すように、データの書込みに先立ってすべてのメモリセルを消去状態（しきい値が2番目に小さい値約1.7V、記憶データ“00”）にする。
15 なお、この消去状態にするにあたってまず全てのメモリセルをしきい値の最も高いデータ“11”にしてから消去状態“00”に戻すようにしても良い。

次に、下書きデータの書込みを行なう。このとき、記憶すべきデータが“1”であるメモリセルについては図5（B）に示すようなバイアスをかけて、しきい値が1.7Vの消去状態のメモリセルのしきい値を最も高い約2.8Vにするような書込みを行なう。下書きデータの書込みが終了した段階ではしきい値の最も
20 低い状態に相当するメモリセルとしきい値の2番目に高い状態に相当するメモリセルは存在しない。上記書込み終了後にはワード線レベルを $\gamma 1$ にしてベリファイを行なう。この実施例のメモリはすべてのメモリセルに対してこの下書きデータの書込みのみを行なって上書きデータの書込みをしないで、ワード線レベルを β に設定して読出しを行なうというような使用の仕方でも可能である。この場合、
25 Zアドレスは必ず“0”（または“1”）とされる。Zアドレスの“0”“1”それぞれに対応する記憶領域を1プレーンと定義すると、上記方法は1プレーンのみ使用するという方法に相当する。

2プレーンを使用する場合には、上記下書きデータの書込み後に、上書きデータの書込みを行なう。この際、図5（C）に示すように、下書きデータが“0”

であるメモリセルへの書込みと、下書きデータ“1”であるメモリセルの書込みとを区別して行なう。なお、下書きデータの書込みでは前述したようにデータが“1”であるメモリセルについてはしきい値を高める方向にバイアスを与える（以下、これをアップライトと称する）のに対し、上書きデータの書込みでは、
5 図5（C）に示すように、しきい値を下げる方向の書込みを行なう（以下、これをダウンライトと称する）。上記下書きデータの書込み場合、“00”状態のメモリセルのうちデータ“1”を書き込みたいメモリセルのしきい値のみ上げて選択的に“11”状態にさせるようにしても良いが、“00”状態のメモリセルを全て一旦しきい値を上げてから下書きデータが“0”であるメモリセルのしきい
10 値のみ下げるような動作を行なうようにすることも可能である。

また、この実施例では、下書きデータが“0”で上書きデータが“1”である場合にはメモリセルに対してしきい値を下げる方向にバイアスを与えることでしきい値の最も小さな状態（しきい値約1.0V、記憶データ“01”）に移行させ、下書きデータが“1”で上書きデータが“0”である場合にはメモリセルに
15 対してしきい値を下げる方向にバイアスを与えることで、しきい値の2番目に高い状態（しきい値約2.3V、記憶データ“10”）に移行させる。しかもこの実施例では、特に制限されないが下書きデータが“0”で上書きデータが“1”となる書込みを先に行ない、下書きデータが“1”で上書きデータが“0”となる書込みを後で行なうようにしている。なお、しきい値を1.0Vに下げる場合
20 としきい値を2.3Vに下げる場合とで、バイアス電圧あるいは書込みパルス幅を異ならしめるようにしてもよい。書込み特性が異なるからである。

一方、下書きデータが“0”で上書きデータが“0”である場合や、下書きデータが“1”で上書きデータが“1”である場合にはメモリセルに対してしきい値を変化させるバイアスをデータ線には与えないようにしている。書込み後の
25 ペリフェイは、ワード線レベルをそれぞれ $\alpha 0$, $\gamma 0$ にして行なう。上記書込み動作に伴うメモリセルのしきい値の変化の仕方を表1に示す。なお、各メモリセルのしきい値を V_{th1} , V_{th2} , V_{th3} , V_{th4} ($V_{th1} < V_{th2} < V_{th3} < V_{th4}$)とした。

【表 1】

下書きデータ		0	0	1	1
上書きデータ		1	0	0	1
しきい値 の 変 化	下書き	変化なし	変化なし	Vth2→Vth4	Vth2→Vth4
	上書き	Vth2→Vth1	変化なし	Vth4→Vth3	変化なし
最終しきい値		Vth1	Vth2	Vth3	Vth4

さらに、データ消去は、図 5 (D) に示すように、しきい値の最も小さなメモリセル（記憶データ“01”）に対してはアップライトを行ない、しきい値の最も高いメモリセル（記憶データ“11”）としきい値の 2 番目に高いメモリセル（記憶データ“10”）に対してはダウンライトをそれぞれ行なってしきい値が 2 番目に低い状態（記憶データ“00”）に変化させるようにしている。しかも、後述するように、上書きデータのための消去と下書きデータのための消去を行なえるようにすることも可能である。消去後のベリファイはワード線レベルを $\alpha 1$, β 0 にして行なう。

図 6 にはメモリアレイ 10 の具体例を示す。この実施例のメモリアレイは 2 つのマットで構成され、センスラッチ回路 S L T は 2 つのマット間に配置され、非選択マット内のデータ線を選択マット内のデータ線のプリチャージレベルの 2 分の 1 のレベルにハーフプリチャージしてセンスラッチ回路は差動でデータを検出するように構成されている。そのためメモリアレイはセンスラッチ回路 S L T を挟んで対称であるため、図 6 にはセンスラッチ回路 S L T と片側のマットのみを図示してある。

この実施例のメモリアレイ 10 は同図に示すように、列方向に配列され各々ソースおよびドレインが共通接続された並列形態の n 個のメモリセル（フローティングゲートを有する MOSFET）MC1～MCn からなるメモリ列 MCC が行方向（ワード線 WL 方向）および列方向（メインデータ線 DL 方向）にそれぞれ複数個配設されている。各メモリ列 MCC は、 n 個のメモリセル MC1～MCn のドレインおよびソースがそれぞれ共通のサブデータ線 SDL および共通のサブソース線 SSL に接続され、サブデータ線 SDL はスイッチ MOSFET

Qs1を介してメインデータ線DLに、またサブソース線SSLはスイッチMOSFET Qs2および共通ソース線CSLを介して接地点または負電圧に接続可能にされた構成にされている。

5 上記複数のメモリ列MCCのうちワード線方向に配設されているものは半導体
基板上の同一のウェル領域WELL内に形成され、メモリセルのしきい値を上げ
る時にはそのウェル領域WELLに $-3V$ のような負電圧を与え、ウェル領域を
共通にするワード線に $10V$ のような電圧を印加することで、ライトアップが可
能にされている。なお、データ消去時にはウェル領域を共通にするすべてのス
イッチMOSFET Qs1, Qs2がオン状態にされて、各メモリセルのソースお
10 よびドレインに $-3V$ の負電圧が印加されるように構成されている。

一方、しきい値を下げたい時は選択されるメモリセルが接続されたワード線に
 $-10V$ のような負電圧が印加されるとともに、選択されるメモリセルに対応し
たメインデータ線DLが $4V$ のような電位にされかつ選択メモリセルが接続され
たサブデータ線SDL上のスイッチMOSFET Qs1がオン状態され、ドレイ
15 ン領域に $4V$ が印加される。ただし、このときサブソース線SSL上のスイッチ
MOSFET Qs2はオフ状態とされている。

また、データ読出し時には、選択されるメモリセルが接続されたワード線に $1.5V$, $2.0V$, $2.5V$ のような電圧が印加されるとともに、選択されるメモリセルに対応したメインデータ線DLが $1V$ のような電位にプリチャージされかつ選択メモリセルが接続されたサブデータ線SDL上のスイッチMOSFET Qs1がオン状態される。そして、サブソース線SSL上のスイッチMOSFET Qs2はオン状態とされて接地電位が印加される。このとき選択メモリセルがオンしていればデータ線の電荷が共通ソースに引き抜かれて電位が下がる。この電位が、上記メインデータ線DLの一端に接続されたセンスラッチ回路SLTで増幅される。センスラッチ回路SLTは読出し時にはデータ線のレベルを検出して保持するとともに、書き込み時には書き込みデータを保持しデータに応じた電位をデータ線に与える。
25

図7には、データ線に接続された上記センスラッチ回路SLTの具体例を示す。
図示のごとく、センスラッチ回路SLTは2つのCMOSインバータの入出力端

子が相互結合されたセンスアンプSAを備えている。そして、このセンスアンプSAと上記メモリアレイ10との間に、プリチャージMOSFET Q_{p0} 、 Q_{p1} 、センスアンプSAの一方の入出力端子とメインデータ線DLとを接続／遮断可能なデータ転送MOSFET Q_{t0} 、 Q_{t1} 、データ反転回路DIC、リセットMOSFET Q_{r0} 、 Q_{r1} 、オール判定用MOSFET Q_j 、カラムスイッチMOSFET Q_c 、下書きデータ認識用のデータフィルタ回路DFC等が設けられている。

なお、図7において、データ線プリチャージMOSFET Q_p やデータ転送MOSFET Q_t 、データ反転回路DIC、リセットMOSFET Q_r が2つずつ示されているのは、奇数番目のデータに接続されているものと偶数番目のデータ線に接続されているものとを分割して示したためである。上記カラムスイッチMOSFET Q_c のゲートにはYデコード回路からの選択信号が印加されるとともに、データ線はこのカラムスイッチMOSFET Q_c および入出力線I/Oを介してデータ入力バッファおよびデータ出力バッファに接続される。

図示しないが、各センスアンプSAは共通の電源ラインとグラウンドラインに接続され、この電源ラインとグラウンドライン上には電源供給／遮断用のスイッチMOSFETが設けられており、このMOSFETをオンすることでセンスアンプSAは活性化され、オフすることで非活性化されるように構成されている。

上記プリチャージMOSFET Q_{p0} 、 Q_{p1} のソース端子はメインデータ線DLにまたドレイン端子は電圧供給ラインVL0、VL1に接続され、ゲート端子にはプリチャージ制御信号RPC0、RPC1が印加されており、データ読出し時にオンされることによってメインデータ線DLを1Vのようなレベルにプリチャージする。上記データ転送MOSFET Q_{t0} 、 Q_{t1} はメモリアレイ10内のメインデータ線DLとセンスアンプSA側のメインデータ線DLsとの間に接続されそのゲート端子には転送制御信号TR0、TR1が印加されており、ワード線立上げ後にオンされてデータ線のレベルをセンスアンプSAに伝達して増幅したり、データ書き込み時にセンスアンプSAに保持されている書き込みデータをメインデータ線DLに伝達する。

また、上記データ反転回路DICは、メインデータ線DLと電圧供給ラインU

PCとの間にそれぞれ2つのMOSFET Qd1, Qd2が直列に接続され、そのうちQd1のゲート端子には制御信号PC0, PC1が印加され、Qd2のゲート端子にはセンスアンプSA側のメインデータ線DLsが接続されている。上記リセットMOSFET Qr0, Qr1のドレイン端子はメインデータ線DLsにまたソース端子はグラウンドラインGL0, GL1に接続されゲート端子にはデータリセット信号RSA0, RSA1が印加されており、これがオンされることによってメインデータ線DLsを接地電位にデイスチャージする。

さらに、上記オール判定用MOSFET Qjはセンス用ラインEC0, EC1とグラウンドラインGL2との間に接続され、ゲート端子がセンスアンプSA側のメインデータ線DLsに接続されているとともに、上記センス用ラインEC0, EC1の一端に前記オール判定回路21を構成する電流センス回路CSCが接続されており、データ線がすべてロウレベルであるか否か検出することによって読出しデータがすべて“0”になったことを判定できるように構成されている。すなわち、読み出したデータが一つでも“1”であるとそれに対応するMOSFET Qjがオンされてセンス用ラインEC0, EC1を通して接地点へ電流が流れるため電流センス回路CSCによって検出することができる。

一方、上記下書きデータ認識用のデータフィルタ回路DFCは、電圧供給ラインDCPとセンスアンプSAの一方の入出力端子との間に各々直列に接続されたMOSFET Qf1, Qf2と上記カラムスイッチMOSFET Qcと直列に接続された伝送MOSFET Qf3とからなり、MOSFET Qf1のゲート端子に制御信号DC0がまたQf2のゲート端子に制御信号DC1が印加されており、この制御信号およびセンスアンプSAの保持データによってQf1～Qf3を制御することによって、前述した下書きデータに応じた上書きデータの書込みを行なえるように構成されている。すなわち、制御信号DC0をハイレベル、DC1をロウレベルに設定してQf1をオン、Qf2をオフさせることによってQf3のゲートにハイレベルの信号を供給してすべてのデータ線を入出力線I/Oと接続させる一方、制御信号DC0をロウレベル、DC1をハイレベルに設定してQf1をオフ、Qf2をオンさせることによってQf3のゲートにセンスアンプSAに保持されているデータに応じたレベルの信号を供給してデータ

線を選択的に入出力線 I/O と接続させることができるように構成されている。

次に、本実施例における上記メモリセルからのデータの読出し動作の手順を、図 8 のフローチャートを用いて説明する。なお、図 9 にはデータ読出し時のメモリアレイおよびセンスラッチ回路内の各信号線の変化の様子が示されている。なお、同図に示されている符号は図 6 および図 7 に示されている信号の符号と対応している。各符号の最後に付いている R または L は、センスラッチ回路の両側（左右）のマトのいずれのマト内の信号であるかを識別するための符号である。PRL, PRR はデータ線プリチャージ信号で、図 7 の符号 RPC に相当する。また、DPB はセンスラッチ用電源のオン・オフ制御信号である。

図 8 に示されているように、読出し動作は外部から読出しコマンドが入力されることによって開始される。入力されたコマンドが読出しコマンドであったときは、先ずコマンドに続いてあるいは並行して入力されるアドレス信号を取り込む（ステップ S1）。それから、取り込んだアドレスのうち Z アドレスに基づいて読み出すべきデータがメモリセル内の下書きデータか上書きデータかを判定する（ステップ S2）。そして、下書きデータ読出しと判定したときは、ワード線のレベルを前記中間の読出しレベルである B に設定し、メインデータ線 DL をプリチャージするとともに X アドレスをデコードしてワード線 WL を立ち上げる（ステップ S3, S4）。また、このときサブデータ線上のスイッチ MOSFET Qs1 をオンさせる。

これによって、選択されたワード線に接続されたメモリセルの下書きデータに応じてデータ線のレベルが保持もしくはディスチャージされるため、サブソース線上のスイッチ MOSFET Qs2 およびデータ転送 MOSFET Qt をオンさせてデータ線のレベルをセンスアンプ SA に伝えるとともに、センスアンプに電源を供給してこれを活性化させる（ステップ S5）。これによって、読出しデータが増幅されてセンスアンプに保持されるので、カラムスイッチ Qc をオンさせてデータ出力バッファへ読出しデータを送って外部へ出力させる（ステップ S6）。

一方、上記ステップ S2 で読み出すべきデータがメモリセル内の上書きデータであると判定したときは、ステップ S7 へ移行してワード線のレベルを前記最も

高い読出しレベルである α に設定し、メインデータ線DLをプリチャージするとともにXアドレスをデコードしてワード線WLを立ち上げる（ステップS8）。それから、データ線のレベルをセンスアンプSAに伝え、センスアンプを活性化させて読出しデータを増幅する（ステップS9）。そして、次にデータ反転回路DICを制御してセンスアンプSAに保持されているデータを利用してデータ線上のデータを反転させ、これを次の読出し時のプリチャージ動作とする（ステップS10）。しかる後、ワード線のレベルを前記最も低い読出しレベルである α に設定し、Xアドレスをデコードしてワード線WLを立ち上げる（ステップS11, S12）。それから、データ線のレベルをセンスアンプSAに伝え、センスアンプで読出しデータを増幅する（ステップS13）。次に、データ反転回路DICを制御してセンスアンプSAに保持されているデータを利用してデータ線上のデータを反転させる（ステップS14）。そして、このデータを再びセンスアンプSAで増幅するとセンスアンプに所望の上書きデータが保持されるので、ここでカラムスイッチQcをオンさせてデータ出力バッファへ読出しデータを送って外部へ出力させる（ステップS15）。

次の表2には、上記ステップS8～S15により記憶データが“01” “00” “10” “11”であるメモリセルから上書きデータ（1001）の読出しを行なった場合におけるデータ線のレベルの変化の様子をL, Hで示す。ここで、Lはデータ線がロウレベルであることを、またHはデータ線がハイレベルであることを表している。なお、最下欄には比較のため、ワード線レベルを β として上記と同じ記憶データを有するメモリセルから下書きデータ（0011）を読み出した時のデータ線レベルを示した。表2より、図8のフローに従った制御により、正確なデータの読出しが行なわれることが理解できる。

【表 2】

(1)	記憶データ	0 1	0 0	1 0	1 1
(2)	γ で読出し	L	L	L	H
	データ反転	H	H	H	L
	α で読出し	L	H	H	L
	データ反転	H	L	L	H
	読出データ	1	0	0	1
(3)	β で読出し	L	L	H	H

次に、上記メモリセルへのデータの書き込み動作の手順を、図10のフローチャートを用いて説明する。なお、この書き込みが開始される前に、各メモリセルはしきい値が2番目に低い消去状態にされているものとする。図11にはデータ書き込み時のメモリアレイおよびセンスラッチ回路内の各信号線の変化の様子が示されている。なお、同図に示されている符号は図6および図7に示されている信号の符号と対応している。各符号の最後に付いているRまたはLは、センスラッチ回路の両側（左右）のマットのいずれのマット内の信号であるかを識別するための符号である。YGiはカラムスイッチQcのゲート制御信号、PWLはデータ線プリチャージ信号で、図7の符号PCに相当する。

図10に示されているように、書き込み動作は外部から書き込みコマンドが入力されることによって開始される。入力されたコマンドが書き込みコマンドであったときは、先ずコマンドに続いてあるいは並行して入力されるアドレス信号および書き込みデータを取り込む（ステップS21）。それから、取り込んだアドレスのうちZアドレスに基づいて書き込みがメモリセルへの下書きに相当するか上書きに相当するかを判定する（ステップS22）。そして、下書きであると判定したときは、書き込みデータをセンスラッチへ転送する（ステップS23）。このときデータフィルタ回路DFCはQf1をオンさせてQf3がすべてオンとなるように制御されて書き込みデータを無条件でセンスアンプSAへ転送する。次に、書き込みデータが“1”であるメモリセルのしきい値を高くする書き込み（アップライト）を行なう（ステップS24）。

なお、ここで、メモリセルのしきい値を高くする動作は、ワード線に例えば10V、ウェル領域に例えば-3Vを印加することで行なわれるが、前記実施例のように構成されたメモリアレイにあっては、1つのセクタ内のすべてのメモリセルはワード線およびウェル領域を共通にしているため、選択的にメモリセルのしきい値を高くする動作は行なえない。そこで、上記アップライト（ステップS24）の動作では、先ず1セクタすなわちワード線を共通にするすべてのメモリセルのしきい値を一旦上げるすなわち“00”状態のメモリセルを“11”状態にする動作を行なってから、センスラッチSAにラッチされたデータを使用して“00”状態にしておきたいメモリセルに対して図21に示すようなバイアス電圧が印加されるように、選択ワード線のレベルを設定するとともにスイッチMOSFET Q_{s1} やデータ転送MOSFET Q_t をオンさせて選択データ線のレベルの設定をしてフローティングゲートの電荷の引き抜きを行なってしきい値を下げる動作を行なうようにしている。

しかる後、書込みが行われたワード線のレベルを $\beta 0$ に設定して選択ワード線WLを立ち上げ、ベリファイを行なう（ステップS25）。なお、このベリファイ動作は前述した下書きデータの読出しと同じであるので詳しい説明は省略する。ベリファイ後に電流センス回路CSCによって、全てのセンスアンプSAのラッチデータがオール“0”になったか判定する（ステップS26）。正常に書込みがなされたメモリセルに対してベリファイを行なうとセンスアンプに保持されるデータは“1”から“0”に変わり、書込みが充分でないメモリセルに対応するセンスアンプには“1”が残る。そこで、センスラッチのデータがオール“0”でなかったときはステップS24へ戻って、センスラッチの保持データを用いて再度書込みを行なう。ベリファイ動作によってセンスラッチのデータがオール“0”になったと判定されると書込み動作は終了する。

一方、上記ステップS22で実行すべき書込みがメモリセルへの上書きであると判定したときは、ステップS27へ移行する。前述したように、この実施例においては、上書きは下書きデータに応じて別々に行なう必要があるため、ステップS27では先ず下書きデータの読出しを行なう。このときのワード線のレベルは β である。読出しに際してメインデータ線DLをプリチャージしてからワード

線WLを立ち上げるのは読出し動作の時と同様である。それから、データ反転回路DICを制御してセンスアンプSAに読み出されたデータを反転する（ステップS28）。

そして、次にデータフィルタ回路DFCを制御（Qf2をオン）してセンスアンプSAに保持されているデータに応じて入力書き込みデータをセンスアンプSAに取り込む（ステップS29）。このとき上記読出し反転データと入力データとの論理積（AND）をとったようなデータがセンスアンプSAに保持される。次の表3には、上記ステップS27～S29により記憶データが“0011”であるメモリセルから下書きデータの読出しを行ない、上書きデータとして“1100”を入力した場合におけるデータの変化の様子を示す。表3より、図5（C）のうち上段に示されている記憶データ“00”を“01”にすべきメモリセルに対応したセンスアンプにのみデータ“1”が残ることが分かる。

【表3】

下書きデータ	0	0	1	1
反転データ	1	1	0	0
入力データ	1	0	0	1
最終データ	1	0	0	0

しかる後、センスアンプに保持されている書き込みデータが“1”であるメモリセルに対して図21に示すようなバイアス電圧が印加されるように選択ワード線のレベルおよび選択データ線のレベルを設定してスイッチMOSFET Qs1やデータ転送MOSFET Qtをオンさせてフローティングゲートから電荷を引き抜いてしきい値を低くする書き込みを行なう（ステップS30）。

それから、書き込みが行われたワード線のレベルを $\alpha 0$ に設定して選択ワード線WLを立ち上げ、ベリファイを行なう（ステップS31）。ベリファイ後に電流センス回路CSCによって、全てのセンスラッチのデータがオール“0”になったか判定する（ステップS32）。正常に書き込みがなされたメモリセルに対してベリファイを行なうとセンスアンプSAに保持されるデータは“1”から“0”に変わり、書き込みが充分でないメモリセルに対応するセンスアンプSAには

“1”が残る。そこで、センスラッチのデータがオール“0”でなかったときはステップS30へ戻って、センスラッチの保持データを用いて再度書込みを行なう。ペリファイ動作によってセンスラッチのデータがオール“0”になったと判定されると最初の書込み動作は終了する。

- 5 次に、ステップS33へ移行してセンスアンプSAに再度上書きデータを取り込む。このときデータフィルタ回路DFCはQf1をオンさせてQf3がすべてオンとなるように制御されて書込みデータを無条件でセンスアンプへ転送する。それから、データ反転回路DICを制御してセンスアンプSAに読み出されたデータ
- 10 データを反転する（ステップS34）。そして、次にセンスアンプSAに保持される上記データを用いてデータ線をプリチャージしてからデータの読出し動作を行なう（ステップS35）。このときのワード線のレベルは下書きデータの読出しと同じ β である。これによって、下書きデータが“0”であるメモリセルはオンされるためデータ線のチャージが引き抜かれて、対応するセンスアンプのデータは“0”になる。次の表4には、上記ステップS33～S35により記憶データが“0011”であるメモリセルから下書きデータの読出しを行ない、上書きデータとして“1100”を入力した場合におけるデータの変化の様子を示す。表4より、図5（C）のうち下段に示されている記憶データ“11”を“10”にすべきメモリセルに対応したセンスアンプにのみデータ“1”が残ることが分かる。

20

【表4】

下書きデータ	0	0	1	1
入力データ	1	0	0	1
反転データ	0	1	1	0
最終データ	0	0	1	0

25

しかる後、センスアンプに保持されている書込みデータが“1”であるメモリセルに対して図21に示すようなバイアス電圧が印加されるように選択ワード線のレベルおよび選択データ線のレベルを設定してスイッチMOSFET Qs1やデータ転送MOSFET Qtをオンさせてフローティングゲートから電荷を

引き抜いてしきい値を低くする書込みを行なう（ステップS36）。

それから、書込みが行われたワード線のレベルを τ_0 に設定して選択ワード線WLを立ち上げ、ベリファイを行なう（ステップS37）。ベリファイ後に電流センス回路CSCによって、全てのセンスラッチのデータがオール“0”になったか判定する（ステップS38）。正常に書込みがなされたメモリセルに対してベリファイを行なうとセンスアンプに保持されるデータは“1”から“0”に変わり、書込みが充分でないメモリセルに対応するセンスアンプには“1”が残る。そこで、センスラッチのデータがオール“0”でなかったときはステップS36へ戻って、センスラッチの保持データを用いて再度書込みを行なう。ベリファイ動作によってセンスラッチのデータがオール“0”になったと判定されると書込み動作は終了する。

なお、上記実施例においては、下書きデータの書込み（アップライト）の際に、一旦すべてのメモリセルのしきい値を上げてから“00”状態にしておきたいメモリセルのしきい値のみ下げようとしていると説明したが、以下のような手法により、下書きデータ“1”を書き込みたいメモリセルのしきい値のみを選択的に上げる書込み動作も可能である。

すなわち、このような動作はしきい値を上げたくないメモリセルのドレインに電圧を印加してゲート電極直下にチャネルを形成してフローティングゲートへの電荷の注入を阻止してやるようにすれば良い。具体的には、ワード線例えば10Vを、またウェル領域に例えば-3Vを印加すると共に、“00”状態から“11”状態にしたいメモリセルのドレインには例えば3Vを印加し、“00”状態から“11”状態にしたいメモリセルのドレインには例えば-3Vを印加できるようにメモリアレイを構成することによって実現することができる。なお、この場合のベリファイ時のワード線レベルは τ_1 である。

次に、上記メモリセルの記憶データの消去動作の手順を、図12のフローチャートを用いて説明する。

図12に示されているように、消去動作は外部から消去コマンドが入力されることによって開始される。入力されたコマンドが消去コマンドであったときは、先ずコマンドに続いてあるいは並行して入力されるアドレス信号を取り込む（ス

5 テップS41)。それから、取り込んだアドレスのうちZアドレスに基づいて消去すべきデータがメモリセルの下書きデータに相当するか上書きデータに相当するかを判定する(ステップS42)。そして、下書きデータであると判定したときは、Xアドレスで指定されるメモリセルから上書きデータの読出しを行なってメモリ外部へ出力する(ステップS43)。外部へ出力された上書きデータはコントローラ等によってバッファメモリに格納される。

10 次に、入力アドレスによって指定されたメモリセルから下書きデータを読み出してセンスラッチに保持する(ステップS44)。そして、この保持データを使用して読出しデータが“1”であるメモリセルに対して図21に示すようなバイアス電圧が印加されるように選択ワード線のレベルおよび選択データ線のレベルを設定してスイッチMOSFET Q_{s1} やデータ転送MOSFET Q_t をオンさせてフローティングゲートからの電荷の引抜きを行なってしきい値を低くする消去を行なう(ステップS45)。

15 しかる後、消去が行われたワード線のレベルを $\beta 0$ に設定して選択ワード線WLを立ち上げ、ベリファイを行なう(ステップS46)。なお、このベリファイ動作は前述したデータの読出し(図8)と同じであるので詳しい説明は省略する。ベリファイ後に電流センス回路CSCによって、全てのセンスラッチのデータがオール“0”になったか判定する(ステップS47)。正常に書込みがなされたメモリセルに対してベリファイを行なうとセンスラッチに保持されるデータは20 “1”から“0”に変わり、書込みが充分でないメモリセルに対応するセンスラッチには“1”が残る。そこで、センスラッチのデータがオール“0”でなかったときはステップS45へ戻って、センスラッチの保持データを用いて再度消去を行なう。

25 上記ベリファイ動作によってセンスラッチSAのデータがオール“0”になったと判定されると、次にワード線のレベルを $\alpha 1$ に設定して選択ワード線WLを立ち上げ、ベリファイを行なう(ステップS48)。ベリファイ後に、全てのセンスラッチのデータがオール“1”になったか判定する(ステップS49)。オール“1”の判定は、例えばセンスラッチSAの反対側に設けられている同様のMOSFET Q_j と電流センス回路CSCからなるオール判定回路により

オール“0”判定を行なうか、あるいは図7のMOSFET（Nチャネル）Q_jの代わりにPチャネルMOSFETからなる同様の回路を設けたりすることで簡単に実現できる。そして、センスラッチのデータがオール“1”でなかったときはステップS50へ移行して、センスラッチの保持データを用いて読出しデータが“0”になったメモリセルに対してしきい値を上げる書き込みを行なってから再度ペリファイを行なう（ステップS51）。ペリファイ動作によってセンスラッチのデータがオール“0”になったと判定される（ステップS52）と、外部のバッファメモリに格納しておいた上書きデータをメモリへ入力して書き込みを行なう（ステップS53）。この書き込み動作は図10のフローと同様の手順に従って行なわれる。

一方、上記ステップS42で消去すべきデータがメモリセルの上書きデータであると判定したときは、上書きデータの消去処理S60へ移行する。この上書きデータ消去処理は、上記ステップS41～S51の下書きデータ消去処理とほぼ同一手順である。異なる点は、上書きデータを消去する前に下書きデータの読出しを行なって外部のバッファメモリに退避する点と、上書きデータ消去処理では、下書きデータに応じてしきい値を上げる消去としきい値を下げる消去とを区別して行なう必要がある点のみである。下書きデータに応じてしきい値を上げる消去としきい値を下げる消去とを区別して行なうため、図10の書き込み処理フローのステップS27～S38で行なっているのと類似の制御が適用される。

図13には、上記実施例の多値フラッシュメモリを用いたシステムの構成例が示されている。

この実施例のシステムは、特に制限されないが、システム全体を制御するマイクロコンピュータ（CPU）110と、システムのプログラムや固定データが格納された読出し専用のリード・オンリ・メモリ（ROM）120と、CPU110の作業領域を提供する随時書き込み読出し可能なランダム・アクセス・メモリ（RAM）130と、上記実施例の多値フラッシュメモリ141、142・・・からなるローカルメモリ140と、ローカルメモリ140に対する読出し、書き込み、消去を制御するメモリコントローラ150と、ローカルメモリ140のデータ消去や書換えの際に上書きデータもしくは下書きデータを退避しておくのに使

用されるバッファメモリ160等から構成されている。

上記CPU110とROM120、RAM130およびメモリコントローラ150とは、コントロールバス171、アドレスバス172、データバス173からなるメインバス170によって互いに接続され、フラッシュメモリ141、142・・・と、メモリコントローラ150およびバッファメモリ160とは、クロックバス181、アドレスバス182、I/Oバス183からなるローカルバス180によって互いに接続されており、特に制限されないが、これらのICとバスはプリント配線基板のような1枚のボード上に搭載される。

上記メモリコントローラ150は、CPU110とのインタフェースを行なうインターフェイス回路151と、CPU110からの命令に基づいて上記フラッシュメモリ141、142・・・に対する読出しコマンドや書込みコマンド、消去コマンドやデータ転送クロック等を形成して出力するコマンドコントローラ152と、CPU110から出力される論理アドレスに基づいて上記フラッシュメモリ141、142・・・の物理アドレスに変換するとともに前述の3次元アドレスに変換して出力するアドレスコントローラ153と、上記フラッシュメモリ141、142・・・の読出しデータをRAM130へ転送したり、RAM130から書込みデータを上記フラッシュメモリ141、142・・・に転送したりするデータI/Oコントローラ154等を備えている。

図14～図17には、メモリセル内の各階層別のデータの識別方式（上記実施例のZアドレスによる方式に相当）の他の実施例を示す。

このうち図14は、Zアドレスを専用の外部端子（図2の符号AZ参照）から入力する代わりに、入出力ピンI/Oを介してデータおよびコマンド、Xアドレス、Yアドレスと共に時分割で入力するように構成したものである。入出力ピンI/Oに入力されたZアドレスはマルチプレクサ11を介してXアドレスデコーダ15に供給される。XアドレスおよびYアドレスも同様にマルチプレクサ11を介してXアドレスデコーダ15およびYアドレスデコーダ16にそれぞれに供給される。コマンドまたはデータとアドレスの区別は外部からの制御信号CDEによって、またコマンドとデータの区別は、コマンドはライトイネーブル信号WEに同期させて入力し、データはシリアルクロックSCに同期させて入力するこ

とによって行なうようにしている。

さらに、上記ピンを共通にしたアドレスマルチプレクス方式においても、図15に示すように、XアドレスとZアドレスをタイミングを変えて別々に取り込む方式と、Xアドレスの空きビットを利用してそこにZアドレスを含ませて取り込む方式が考えられる。なお、図16に示されている方式は、8本の入出力ピンI/Oを用いて14ビットのXアドレスを2回に分けて取り込む場合に最上位の空いている2ビットのうち1ビットを利用してZアドレス（1ビット）を取り込むようにした場合のアドレス構成を示したものである。

また、ZアドレスをXアドレスに含ませて入力する代わりにZアドレスをコマンドに含ませて入力したり、あるいはメモリセル内の各階層別のデータごとに読出しコマンドや書込みコマンド、消去コマンドをそれぞれ別個に用意するようにしても良い。この場合にも図14のようにアドレスとコマンドとを時分割方式で入力する場合と、図2のように別個の外部端子から入力する場合とが考えられる。さらに、メモリセル内の各階層別のデータの識別にアドレスまたはコマンド以外に制御信号あるいは選択信号を用いるようにしてもよい。

図17～図20は、メモリアレイ10の他の構成例を示す。前記実施例のメモリアレイ（図6参照）では、データ線方向に配設されたn個のメモリセルMCのソースを共通のサブソース線SSLにまたドレインを共通のサブデータ線SDLに接続するとともに、サブデータ線SDLをスイッチMOSFET Qs1を介してデータ線にまたサブソース線SSLはスイッチMOSFET Qs2を介して共通ソース線CSLに接続可能に構成したが、図17の実施例ではデータ線方向に配設されたメモリセルMCを2個ずつペアにして各ペアの共通ドレインCDを対応するメインデータ線DLにそれぞれ接続するとともに、ワード線WL方向のメモリセルのソースはメモリ行ごとに共通ソース線CSLにそれぞれ接続するようにしている。各データ線に接続されるセンスラッチ回路SLTは前記実施例のメモリアレイ（図6参照）と同一とすることができる。この実施例のメモリアレイでは、スイッチMOSFET Qs1、Qs2による制御以外は前記実施例のメモリアレイ（図6参照）と全く同様にして読出し書込みを行なえる。サブデータ線およびサブソース線を設けてスイッチMOSFET Qs1、Qs2で制御するよ

うに構成することも可能である。

図18は、いわゆるNAND型と呼ばれるメモリアレイで、メインデータ線DL方向に配設されたn個のメモリセルMC1～MCnをそれぞれのチャンネルが直列になるように接続し、一端（図では下端）をスイッチMOSFET Qs1を介してメインデータ線DLに接続するとともに他端（上端）をスイッチMOSFET Qs2を介して共通ソース線CSLに接続したものである。この実施例では、選択ワード線以外のワード線の電位をそれに接続されたメモリセルのしきい値のいかにかわらずオンとなるような高いレベルに設定し、選択ワード線は下書きデータもしくは上書きデータに応じた電位に設定して読出し書込みを行なうことで選択メモリセルの読出し書込みが可能となる。

図19は、メインデータ線DL方向に配設されたn個のメモリセルMC1～MCnをそれぞれのチャンネルが直列になるように接続するとともに、共通ソース・ドレインを交互にサブデータ線SDLとサブソース線SSLに接続し、サブデータ線SDLはスイッチMOSFET Qs1を介して対応するメインデータ線DLにそれぞれ接続するようにしたものである。メインデータ線DL方向に隣接するメモリセル同士でソース・ドレインを共有する点およびスイッチMOSFET

Qs2を省略した点以外は前記実施例のメモリアレイ（図6参照）と同様であり、Qs2以外は同一の制御で読出し書込みを行なえる。ただし、Qs2をサブソース線SSLと共通ソース線CSLとの間に設けるようにすることも可能である。

図20は、前記実施例（図6）の変形例で、データ線方向に配設されたn個のメモリセルMCのドレインを共通のサブデータ線SDLに接続し、サブデータ線SDLはスイッチMOSFET Qs1を介してデータ線に接続した点は同一であるが、この実施例ではさらにワード線方向のメモリセルを2個ずつペアにしてその共通ソースをサブソース線SSLに接続してサブソース線SSLの本数を減らしたものである。サブソース線SSLはスイッチMOSFET Qs2を介して共通ソース線CSLに接続されている。センスラッチ回路SLTは図7の全く同じ構成で良く、同一の制御で読出し書込みを行なうことができる。

以上説明したように、上記実施例においては、複数のしきい値を設定して1つ

のメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、1つのメモリセルに対して2ビットのデータの各ビットをアドレス信号もしくは制御信号に応じて別々に書き込みを行なうようにしたので、データを読み出す際に最初のビット（下書きデータ）はワード線を1回アクセスするだけで、また後のビット（上書きデータ）はレベルを変えてワード線を2回アクセスするだけで読み出せるようになり、トータルのワード線アクセス回数が減少し、データ読出し時間が短縮されるという効果がある。

また、上記実施例では、メモリアレイ内のデータ線と読出しデータを増幅するセンスアンプとの間にデータ反転回路を設けたので、上書きデータの読出しを効率良く行なえるようになるという効果がある。

さらに、上記実施例では、データ入力バッファとセンスアンプとの間にセンスアンプの読出しデータによって書き込みデータの入力を制御可能なデータフィルタ回路を設けたので、下書きデータに応じた上書きデータの書き込みを効率良く行なえるようになるという効果がある。

また、上記実施例では、メモリセル内の各階層別のデータを識別するためのアドレス信号をコマンドやデータと時分割方式で入力可能としたので、必要とされる外部端子（ピン）数を減らすことができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、メモリセルに2ビットのデータを記憶できるようにした実施例について説明したが、1つのメモリセルに3ビット以上のデータを記憶するようにした不揮発性メモリに適用することも可能である。

また、実施例ではしきい値が2番目に低いメモリセルを消去状態のメモリセルとしたが、他のレベルしきい値を消去状態とすることもできる。さらに、実施例では、データ“1”を保持するセンスアンプに対応するメモリセルに書き込みを行なってしきい値を変化させているが、データ“0”を保持するセンスアンプに対応するメモリセルに書き込みを行なってしきい値を変化させるようにしても良い。

産業上の利用可能性

- 5 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、FAMOSを記憶素子とする不揮発性記憶装置一般さらには複数のしきい値を有するメモリセルを備えた半導体装置に広く利用することができる。

請 求 の 範 囲

1. メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に变化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶可能に構成された不揮発性半導体記憶装置において、1つのメモリセルに対して複数ビットのデータの各ビットをアドレス信号もしくは制御信号に応じて別々に書込み、読出しおよび消去を行なうようにしたことを特徴とする不揮発性半導体記憶装置の駆動方法。
2. 上記メモリセルは2ビットのデータを記憶可能に構成され、その消去状態をしきい値が2番目に低い状態に対応されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置の駆動方法。
3. 上記メモリセルへ先に書込みがなされるビットデータはしきい値が上記2番目に低い状態としきい値が最も高い状態とに対応されることを特徴とする請求項2に記載の不揮発性半導体記憶装置の駆動方法。
4. 上記メモリセルへ後から書込みがなされるビットデータはしきい値が最も低い状態としきい値が2番目に高い状態に対応されることを特徴とする請求項2または請求項3に記載の不揮発性半導体記憶装置の駆動方法。
5. 上記メモリセルへ後からデータを書き込む際に、しきい値が上記2番目に低い状態からしきい値が最も低い状態への書込みを時間的に先に行ない、しきい値が最も高い状態からしきい値が2番目に高い状態への書込みを時間的に後で行なうようにしたことを特徴とする請求項4に記載の不揮発性半導体記憶装置の駆動方法。
6. 上記ワード線を選択を第1のアドレス信号に基づいて行ない、ワード線を共通にする複数のメモリセルの中からの所望のメモリセルを選択を第2のアドレス信号に基づいて行ない、1つのメモリセル内の複数ビットのデータの各ビットを第3のアドレス信号に基づいて行なうようにしたことを特徴とする請求項1、2、3、4または5に記載の不揮発性半導体記憶装置の駆動方法。
7. 上記メモリセルに記憶されたビットデータのうち先に書込みが行なわれた下書きデータを書き換える際に、後から書込みが行なわれた上書きデータを読み出

してバッファメモリに格納してからメモリセルを消去状態にしたのち、新しい下書きデータの書込みを行ない、しかる後上記バッファメモリに格納しておいた上書きデータの書込みを行なうようにしたことを特徴とする請求項1、2、3、4、5または6に記載の不揮発性半導体記憶装置の駆動方法。

- 5 8. 上記メモリセルに記憶されたビットデータのうち後から書込みが行なわれた上書きデータを書き換える際に、先に書込みが行なわれた下書きデータを読み出してバッファメモリに格納してからメモリセルを消去状態にしたのち、上記バッファメモリに格納しておいた下書きデータの書込みを行ない、しかる後新しい上書きデータの書込みを行なうようにしたことを特徴とする請求項1、2、3、4、10 5または6に記載の不揮発性半導体記憶装置の駆動方法。

9. いずれかのメモリセルのしきい値を低い状態から高い状態へ変える際に、一旦同一セクタ内のすべてのメモリセルのしきい値を高くしてから、高くする必要のなかったメモリセルのしきい値を低くするようにしたことを特徴とする請求項1、2、3、4、5、6、7または8に記載の不揮発性半導体記憶装置の駆動方法。 15

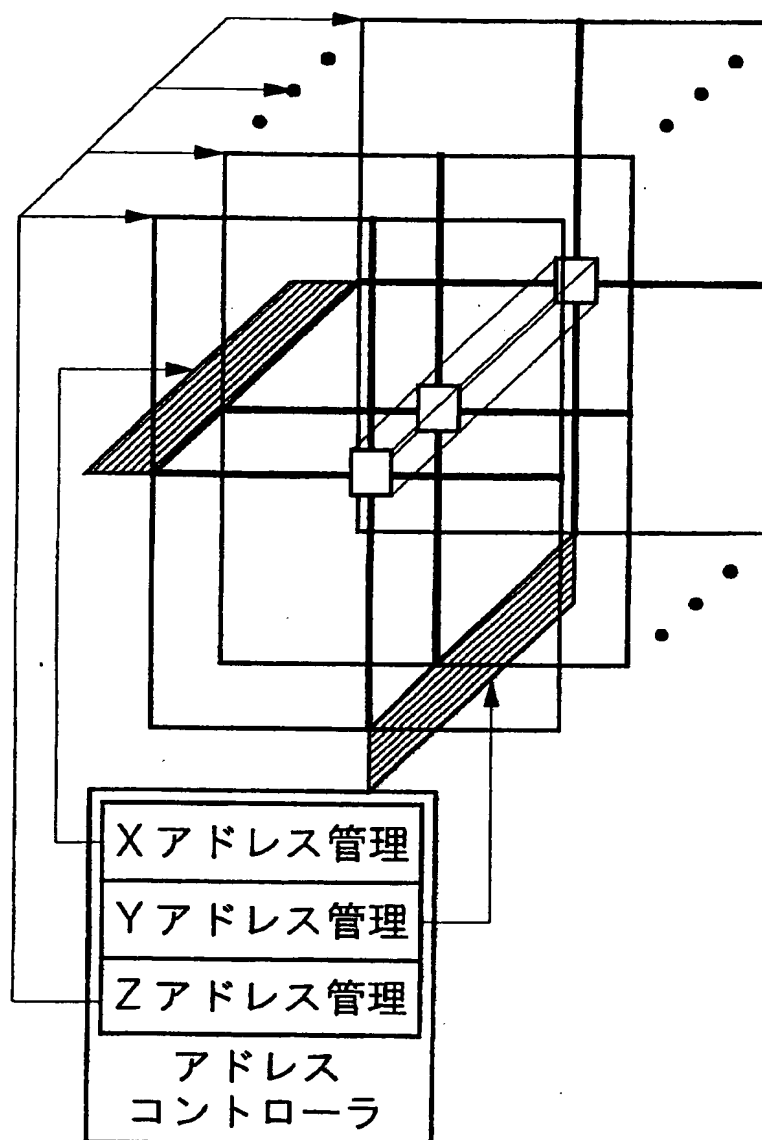
10. 上記メモリセルがコントロールゲートとフローティングゲートとを有するMOSFETで構成され、ワード線を共通にするメモリセルは同一のウェル領域に形成されている場合に、いずれかのメモリセルのしきい値を低い状態から高い状態へ変える際に、同一セクタのしきい値を高くすべきメモリセルとしきい値を高くする必要のないメモリセルとでそのドレイン電圧とを異ならしめ、コントロールゲートとウェル領域間に所定のバイアス電圧を与えるようにしたことを特徴とする請求項1、2、3、4、5、6、7または8に記載の不揮発性半導体記憶装置の駆動方法。 20

11. メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に变化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶可能にされた不揮発性半導体記憶装置において、上記メモリセルに記憶されるデータは各ビットごとに階層的に記憶されるとともに、各階層のデータはアドレス信号もしくは制御信号によって識別されるように構成されてなることを特徴とする不揮発性半導体記憶装置。 25

12. 上記メモリセルの階層別データを識別するアドレス信号もしくは制御信号を入力するための専用の端子が設けられてなることを特徴とする請求項11に記載の不揮発性半導体記憶装置。
- 5 13. 上記メモリセルの階層別データを識別するアドレス信号もしくは制御信号は他のアドレス信号もしくはデータ信号と時分割方式で共通の外部端子から入力可能に構成されてなることを特徴とする請求項11に記載の不揮発性半導体記憶装置。
- 10 14. 上記メモリアレイ内のデータ線と読出しデータを増幅するセンスアンプとの間にデータ反転回路が設けられていることを特徴とする請求項11、12または13に記載の不揮発性半導体記憶装置。
- 15 15. 上記センスアンプとデータ入力バッファとの間にセンスアンプの読出しデータによって書込みデータの入力を制御可能なデータフィルタ回路が設けられていることを特徴とする請求項11、12、13または14に記載の不揮発性半導体記憶装置。
- 20 16. マイクロコンピュータと、請求項11、12、13、14または15に記載の不揮発性半導体記憶装置と、該記憶装置の読出し、書込みおよび消去を制御する制御装置と、上記記憶装置から読み出されたデータを一時的に格納するバッファ記憶装置とを備え、上記マイクロコンピュータと上記制御装置とはメインバスにより接続され、上記制御装置と上記記憶装置とはローカルバスにより接続されていることを特徴とするデータ処理システム。

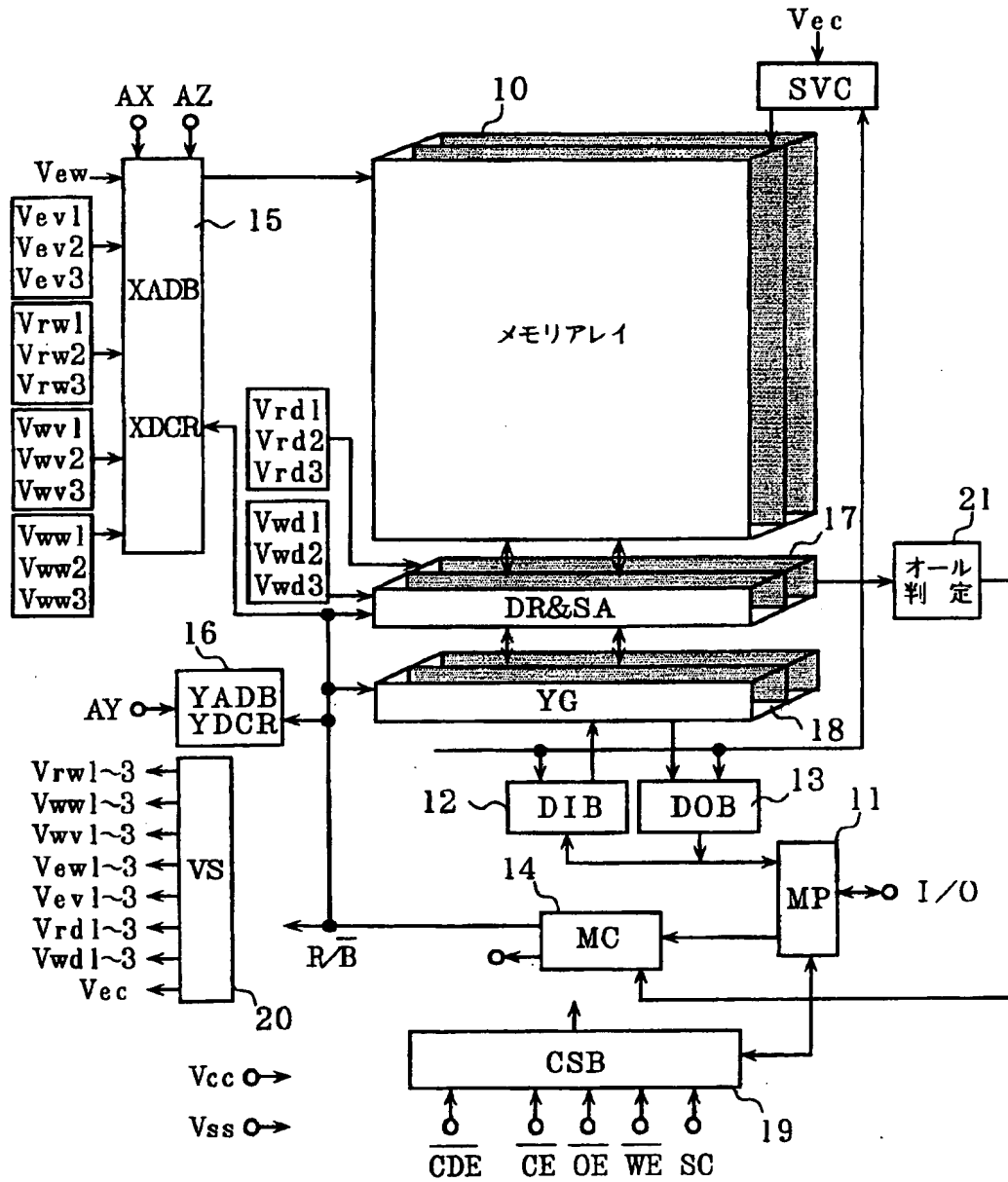
1/20

図 1



2/20

図 2



3/20

図 3

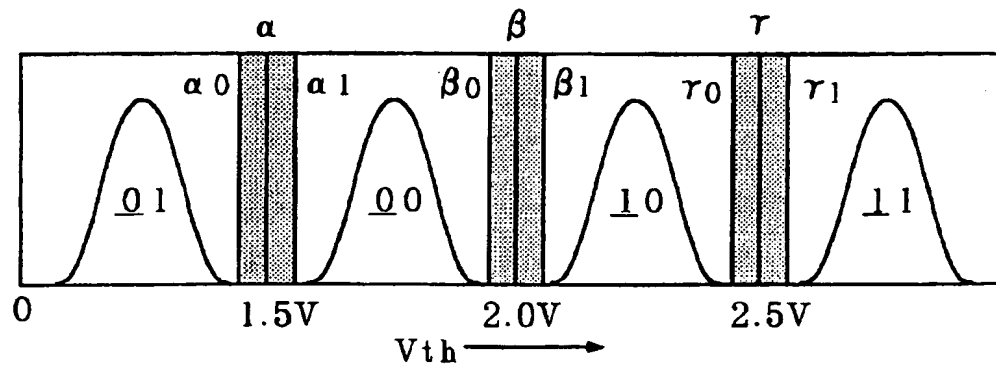
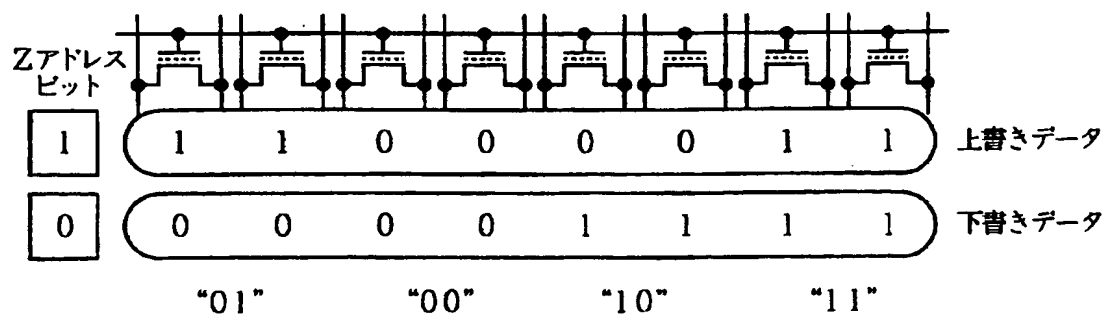
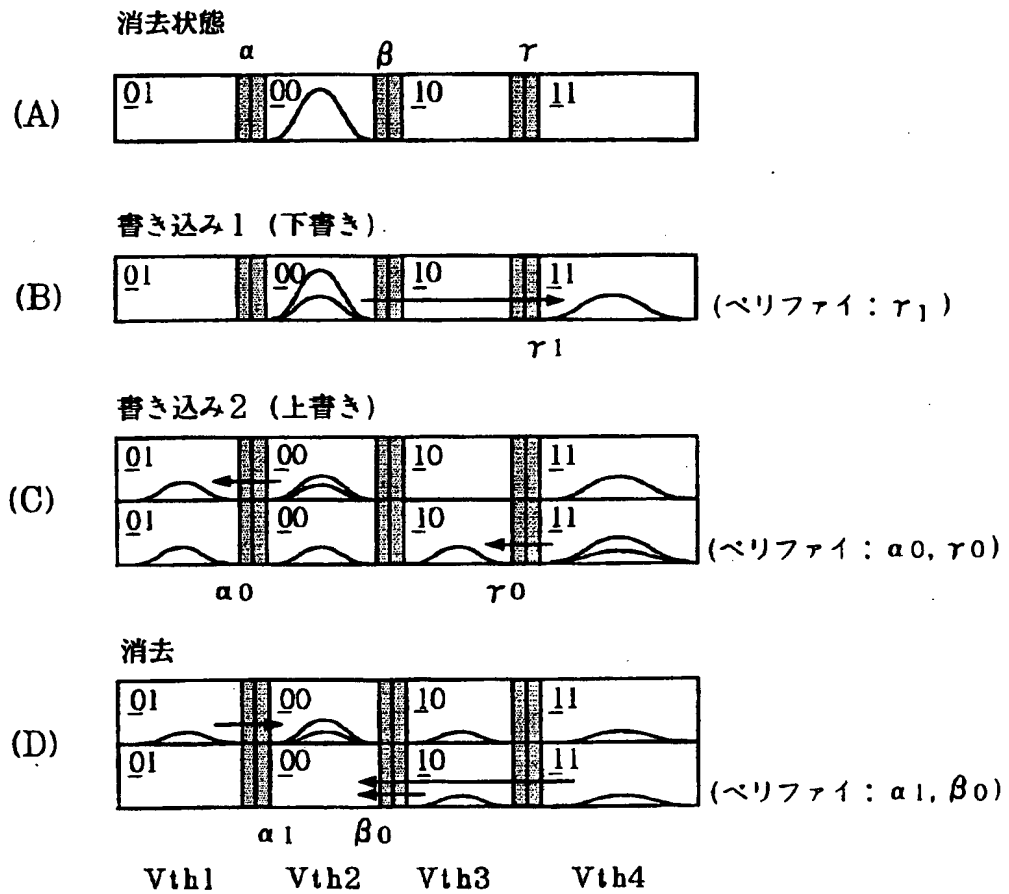


図 4



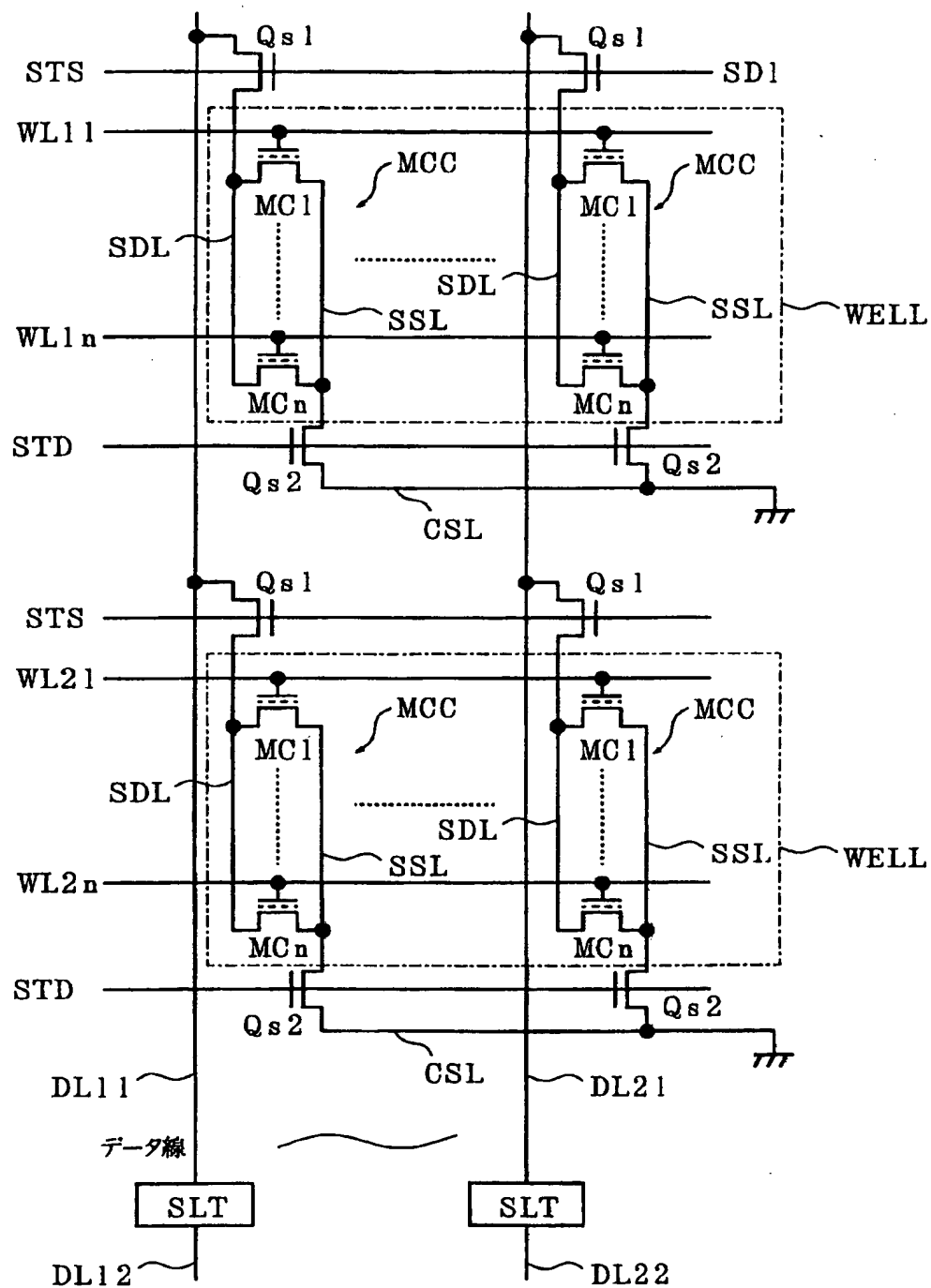
4/20

図 5



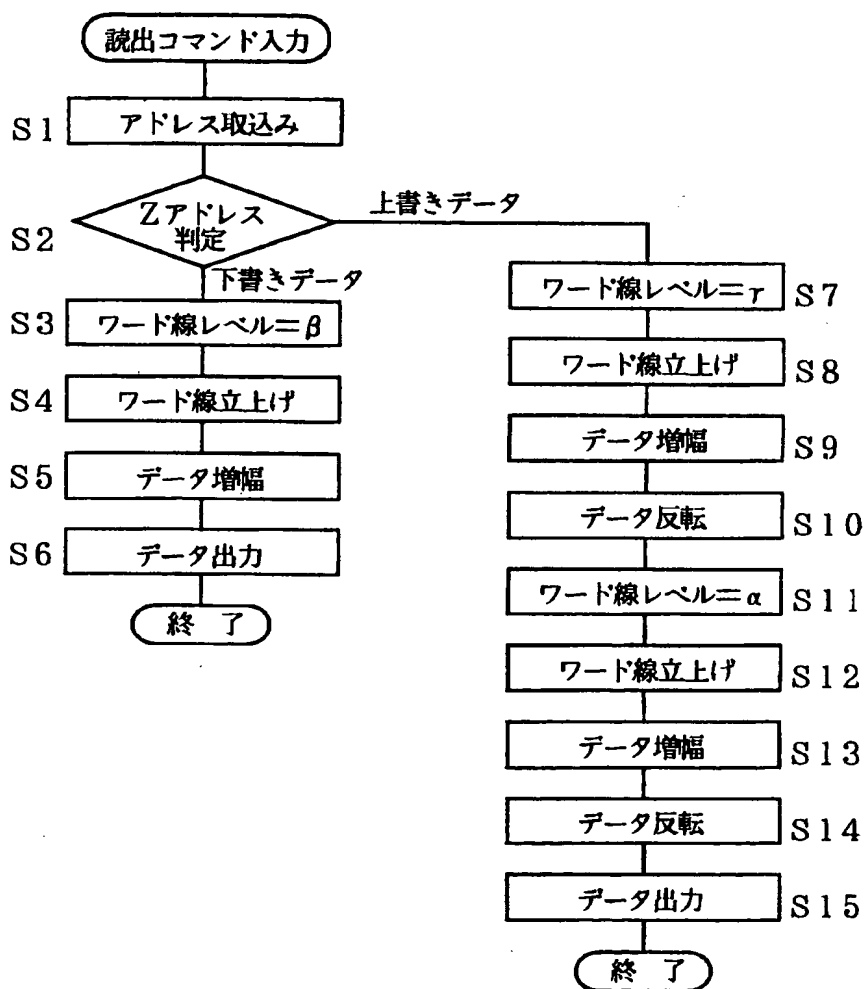
5/20

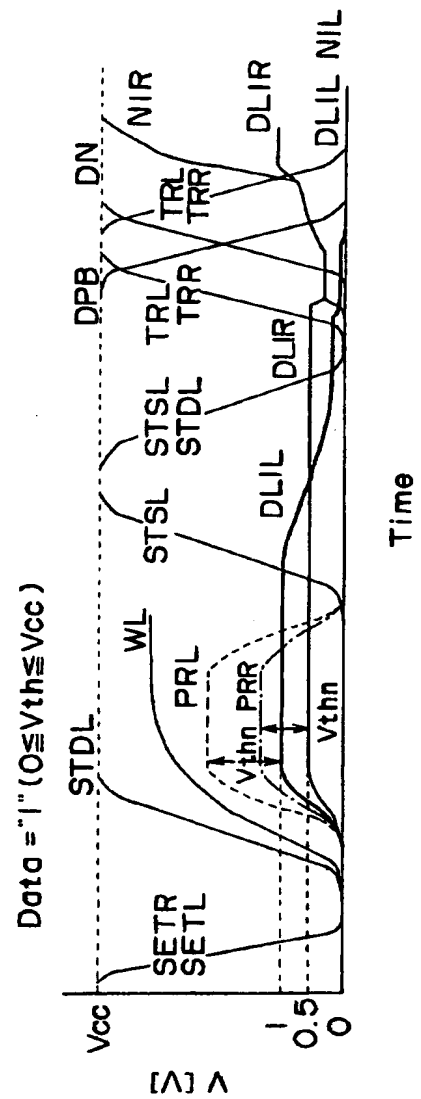
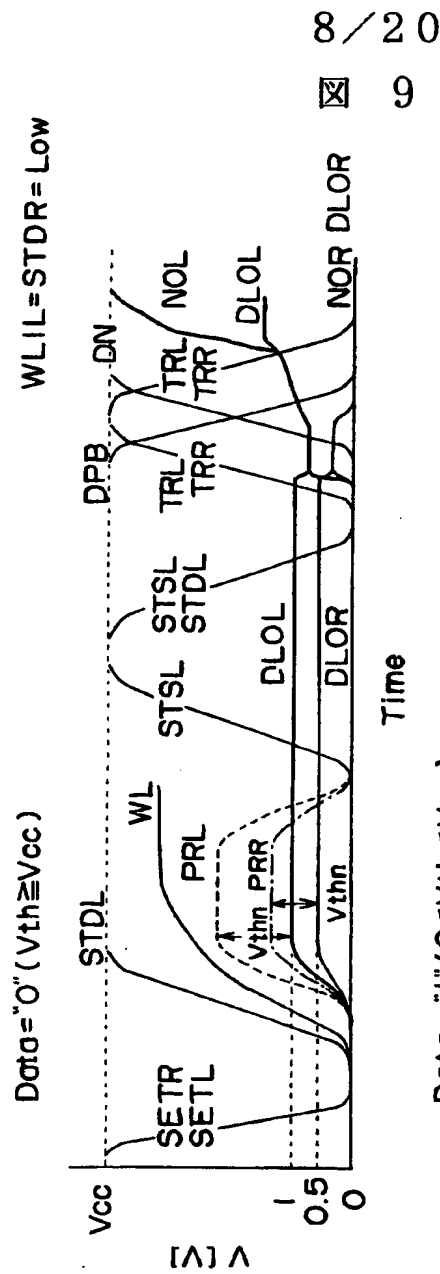
図 6



7/20

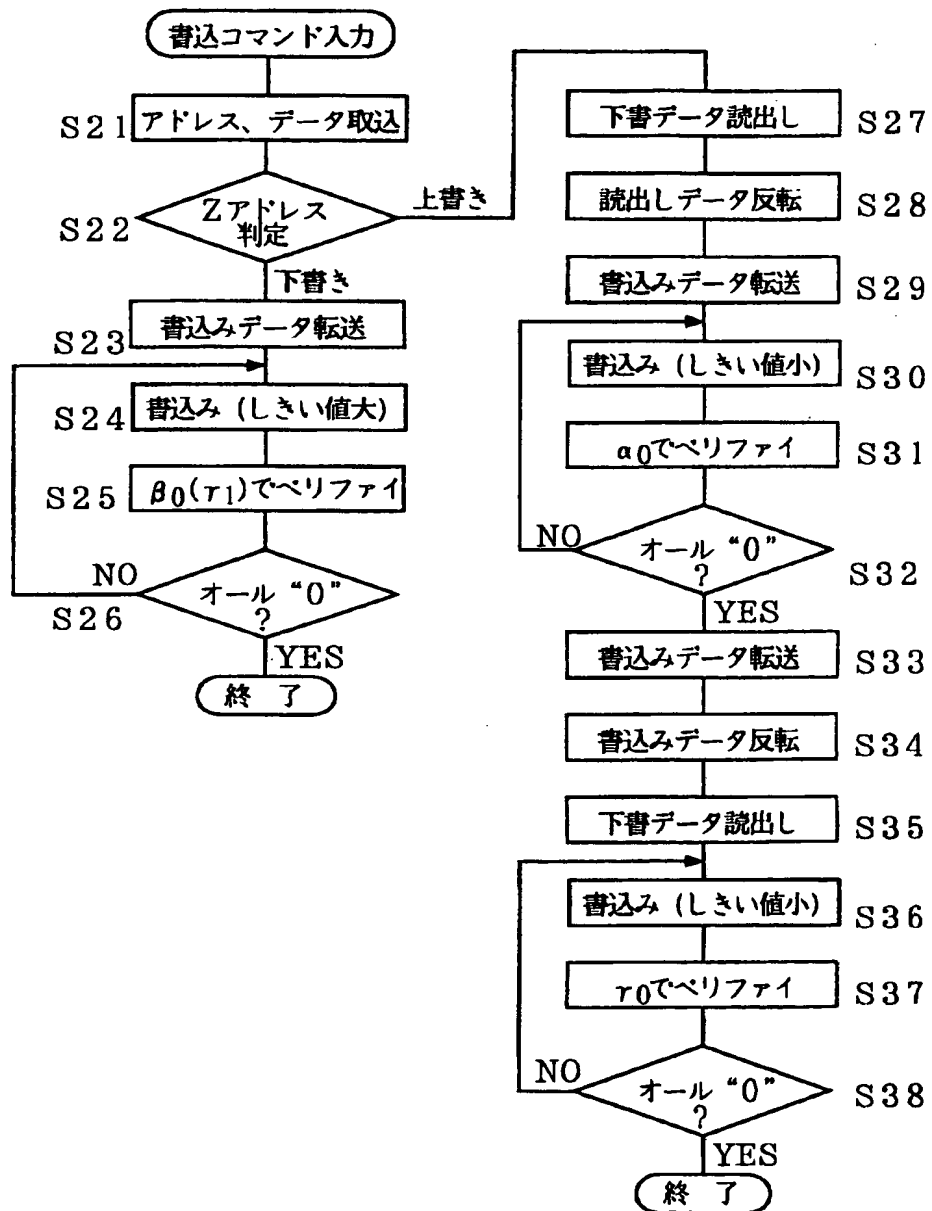
図 8





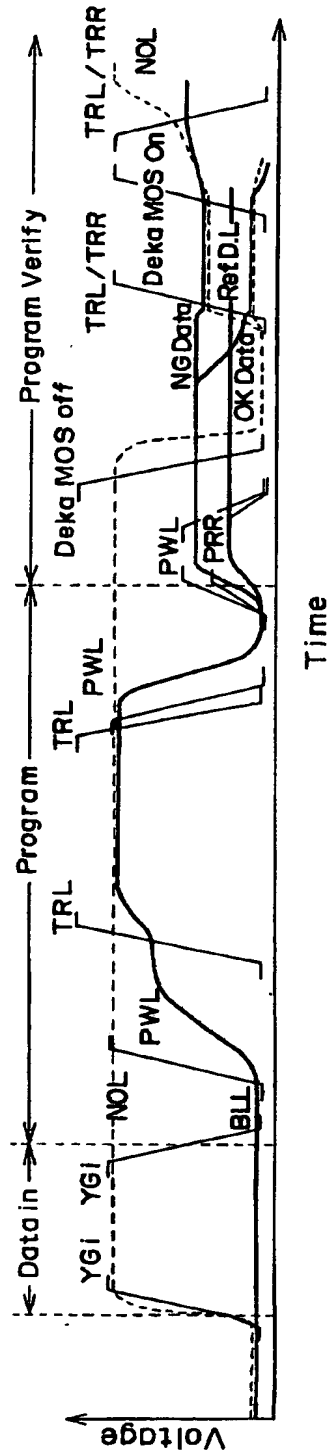
9/20

図 10



10/20

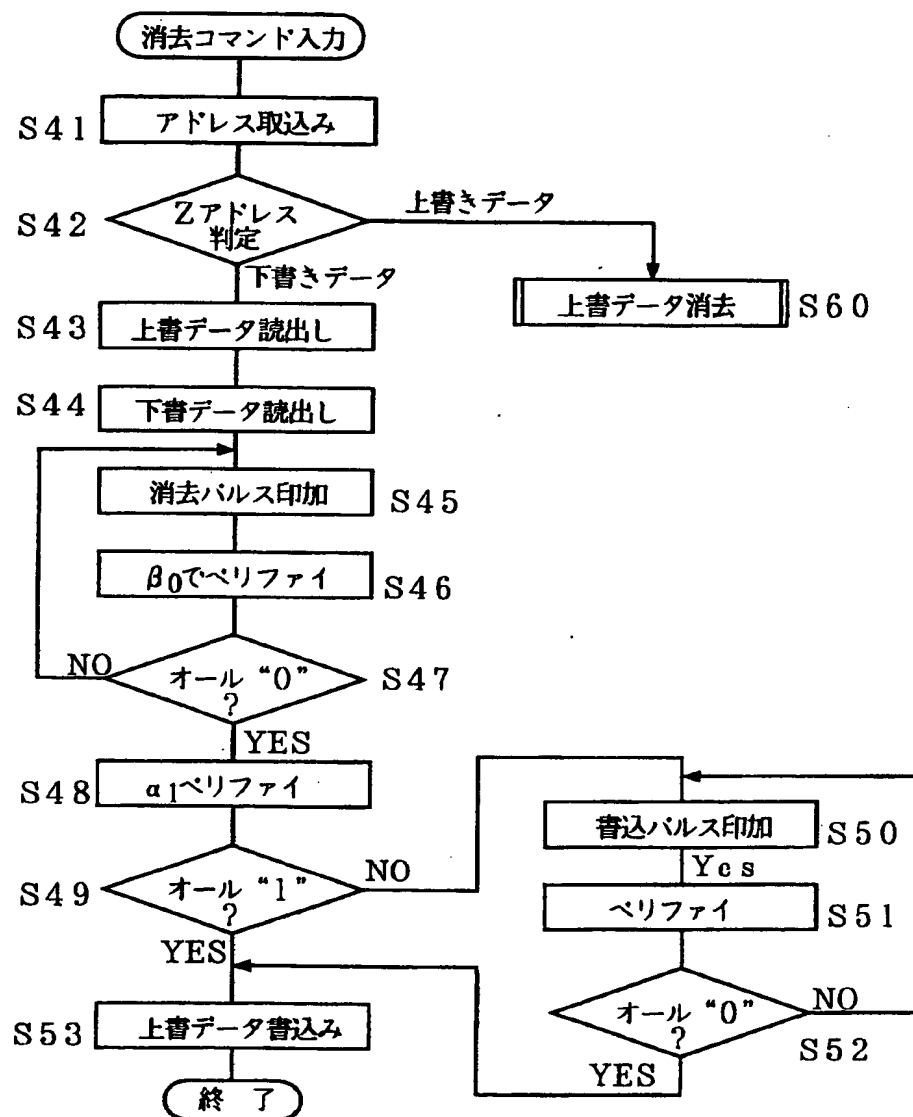
☒ 11



Program-Program Verify Timing Wave

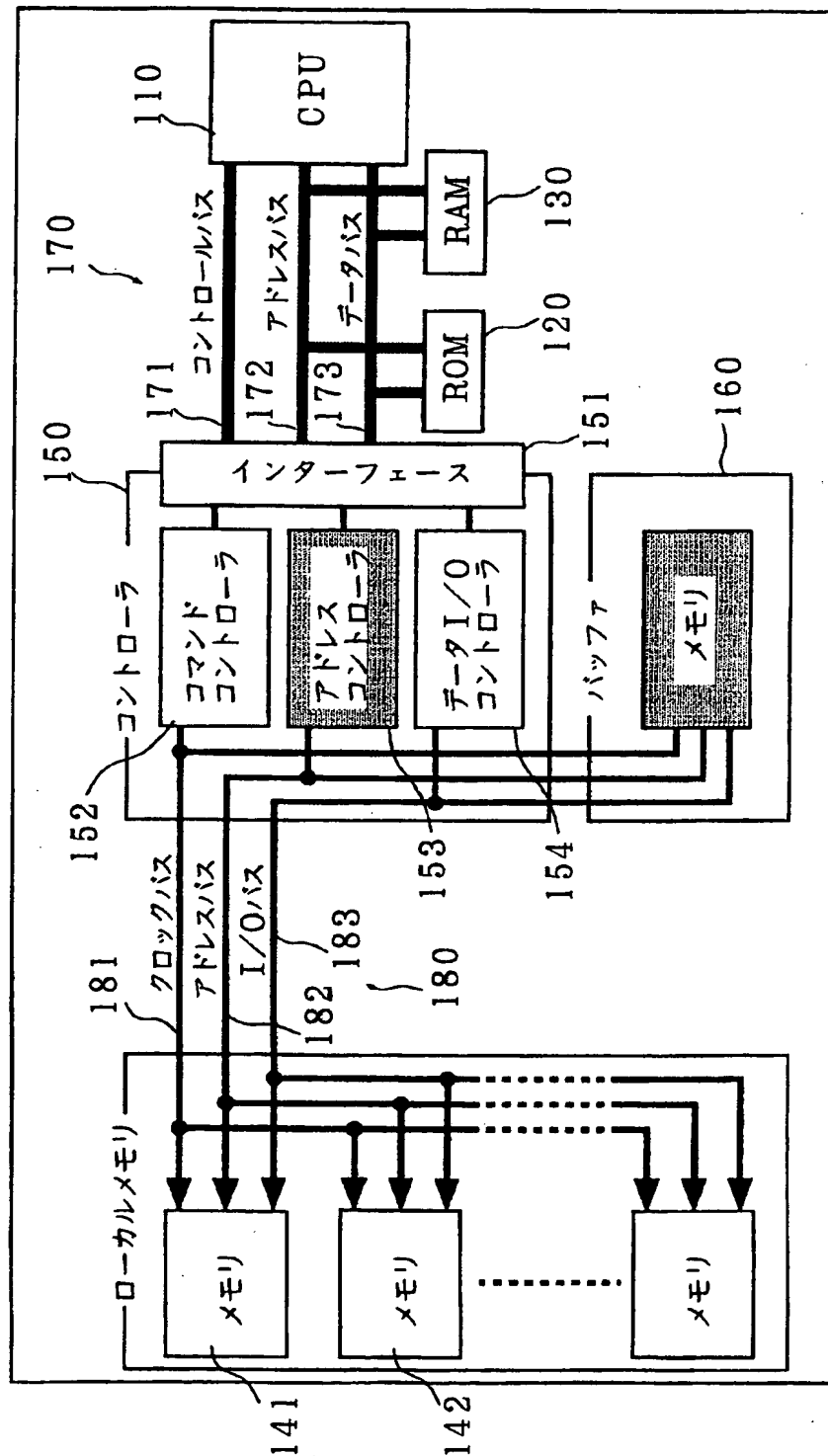
11/20

図 12



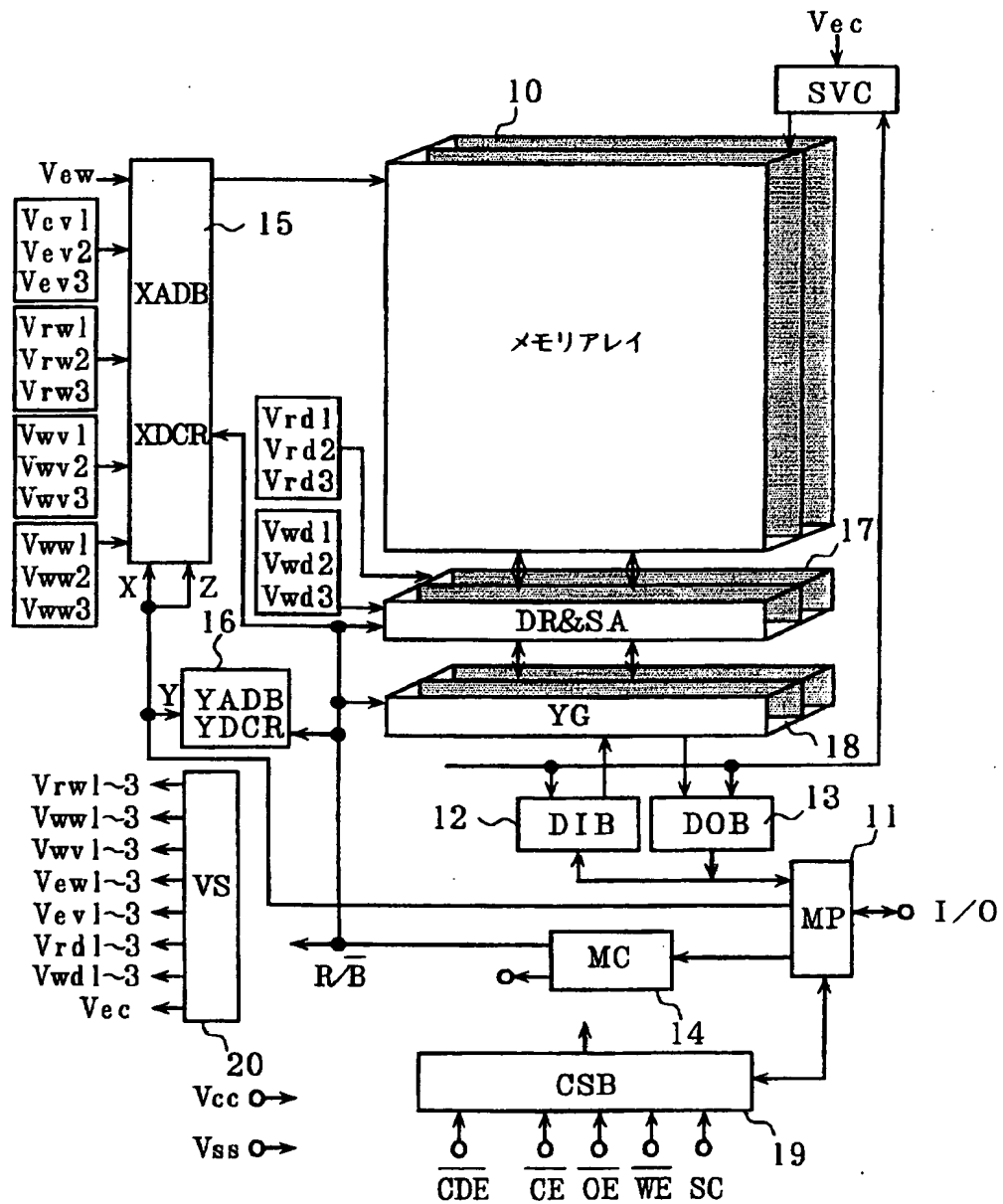
12/20

図 13



13/20

図 14



14/20

図 15

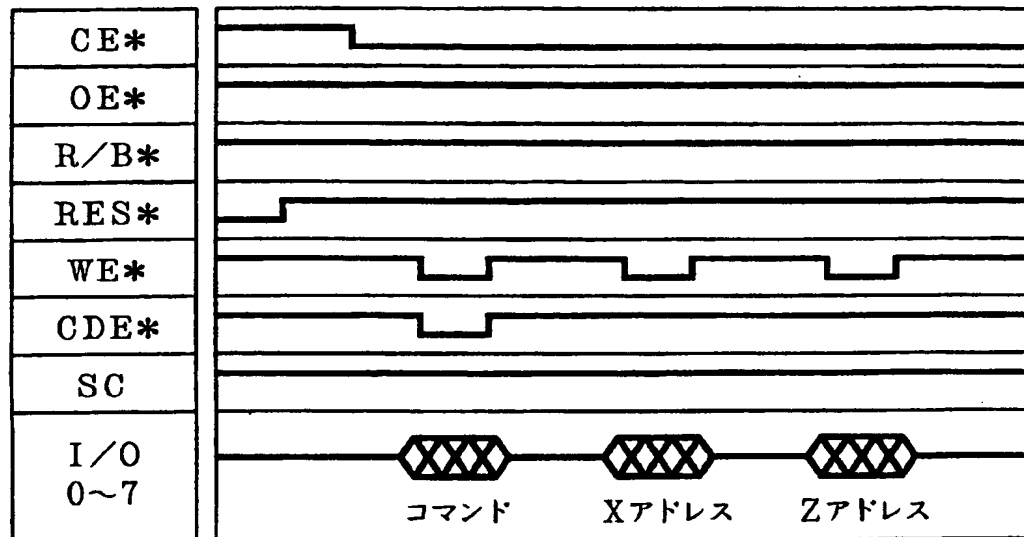


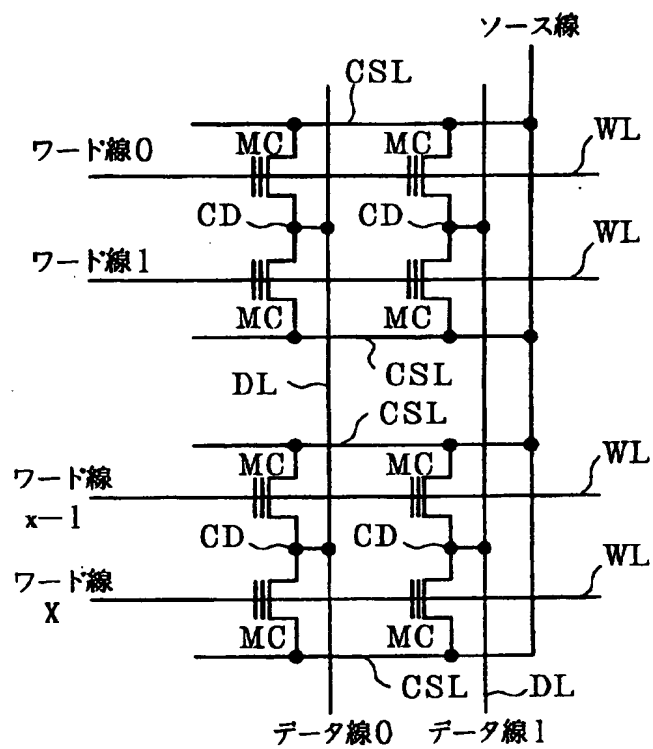
図 16

I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7
A0	A1	A2	A3	A4	A5	A6	A7

A8	A9	A10	A11	A12	A13	—	Az
----	----	-----	-----	-----	-----	---	----

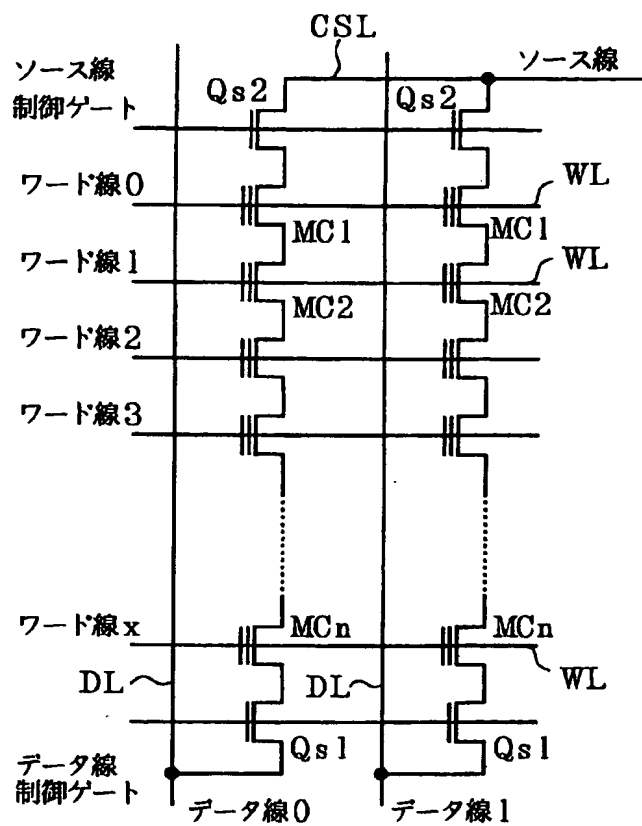
15/20

図 17



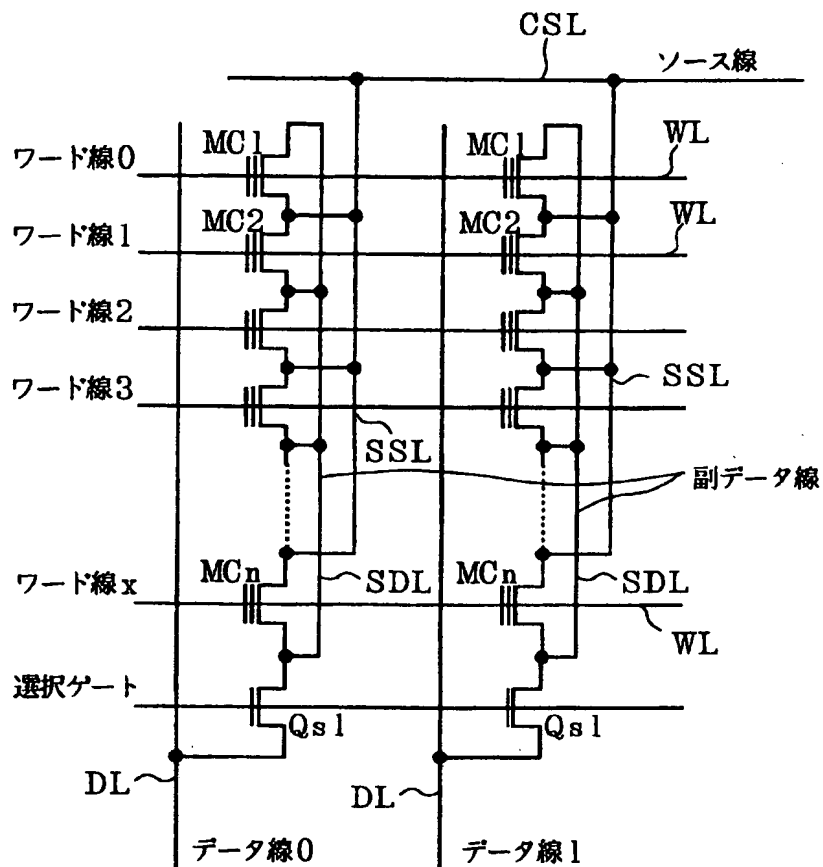
16/20

図 18



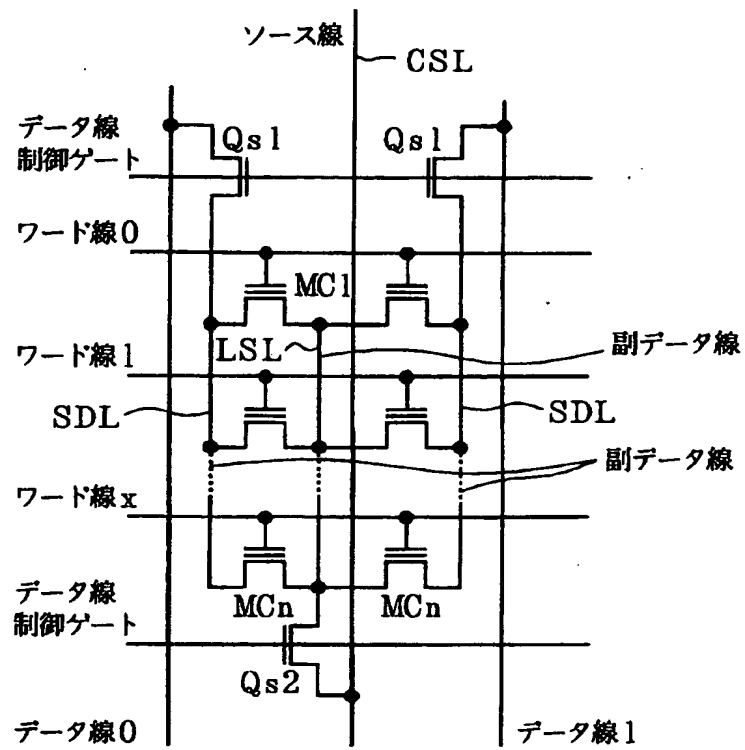
17/20

図 19



18/20

図 20



19/20

図 21

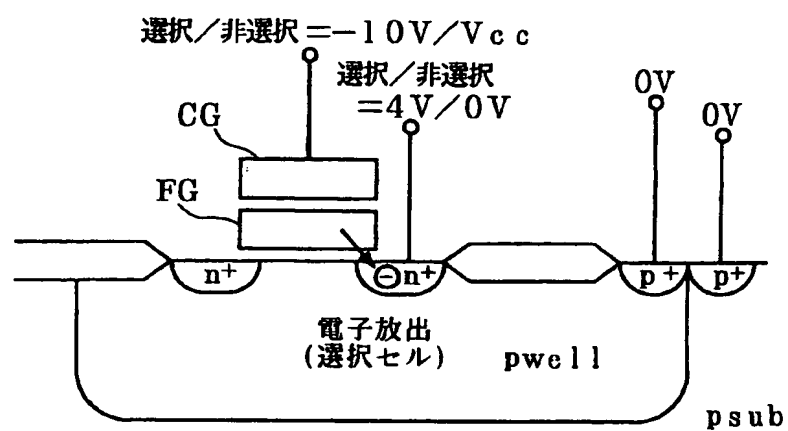
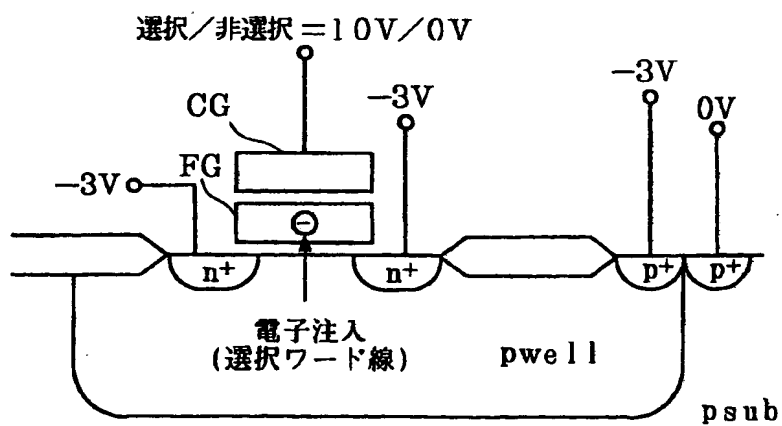
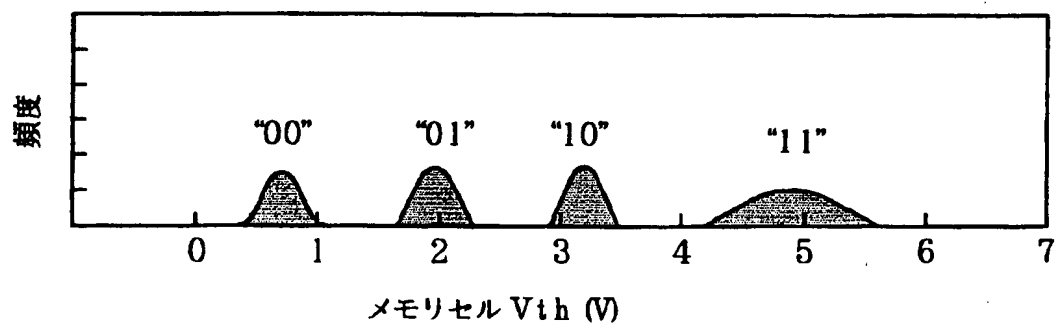


図 22



20/20

図 23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01907

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C16/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, A, 8-153812 (Nippon Motorola Ltd.), June 11, 1996 (11. 06. 96), Column 14, line 27 to column 15, line 49 (Family: none)	1, 11
Y		16
Y	JP, A, 5-204561 (Hitachi, Ltd.), August 13, 1993 (13. 08. 93), Column 4, lines 8 to 28; Fig. 1 (Family: none)	16

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
October 7, 1996 (07. 10. 96)Date of mailing of the international search report
October 22, 1996 (22. 10. 96)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP96/01907

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁸ G11C16/06		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁸ G11C16/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-1996年		
国際調査で使用了た電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, A, 8-153812 (日本モトローラ株式会社)、11. 6月. 1996 (11. 06. 96)、第14欄、27行-第15欄、49行 (ファミリーなし)	1, 11
Y		16
Y	JP, A, 5-204561 (株式会社日立製作所)、13. 8月. 1993 (13. 08. 93)、第4欄、8-28行及び第1図 (ファミリーなし)	16
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に関する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 07. 10. 96		国際調査報告の発送日 22.10.96
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便 号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 印 廣岡浩平 電話番号 03-3581-1101 内線 3563